

Centro de Enseñanza Técnica y Superior

Con reconocimiento de validez oficial de estudios del Gobierno del Estado de Baja California
según Acuerdo de fecha 10 de octubre de 1983



Rediseño de Placa de Prueba de Imagen para Reducir el Estrés Eléctrico en Microprocesador de Televisores Inteligentes

Tesis

para cubrir parcialmente los requisitos necesarios para obtener el grado de
Maestro en Ingeniería e Innovación

Presenta:

Juan Carlos Rosas Moreno

Director:

Dr. Alejandro Guzmán Ocegueda
Centro de Enseñanza Técnica y Superior (CETYS Universidad)

Tijuana, Baja California, México.
2020

Rediseño de Placa de Prueba de Imagen para Reducir el Estrés Eléctrico en Microprocesador de Televisores Inteligentes
Tesis/Proyecto de aplicación para obtener el grado de Maestro en Ingeniería e Innovación

Presenta:

Juan Carlos Rosas Moreno

y aprobada por el siguiente Comité

Dr. Alejandro Guzmán Ocegueda
Director de tesis

Dr. Ricardo Martínez Soto
Coordinador del Posgrado en Ingeniería

Resumen de la tesis que presenta **Juan Carlos Rosas Moreno** como requisito parcial para la obtención del grado de Maestro en Ingeniería e Innovación

Rediseño de Placa de Prueba de Imagen para Reducir el Estrés Eléctrico en Microprocesador de Televisores Inteligentes

Resumen aprobado por:

Dr. Alejandro Guzmán Ocegueda
Director de tesis

Los altos índices de defectos presentes en el área de producción de televisores inteligentes en la empresa Samsung Mexicana, crearon un área de oportunidad para la aplicación del presente trabajo de tesis. El principal defecto presentado en líneas de producción es de no imagen y una de las principales causas es el daño eléctrico sobre el microprocesador de la placa principal del televisor. Mediante una investigación documental fueron identificados los principales fenómenos involucrados en el daño eléctrico de los componentes electrónicos y con una investigación de campo fueron identificadas las variables que interactúan en el proceso de producción que pudieron causar los defectos. Fue desarrollado un análisis de modo y efecto de fallas para identificar las operaciones críticas del proceso y hacer un enfoque en ellas. Fue desarrollado un sistema de soporte de decisión visual para seleccionar los principales modelos y líneas de producción donde la ocurrencia de los defectos es más alta y así aplicar las medidas contramedidas para evitar los defectos. Mediante una simulación de las variables eléctricas en la operación crítica del proceso de producción fue identificada una sobre tensión en el circuito de comunicación I2C entre la placa de prueba de imagen y la placa principal del televisor. Fue simulado un circuito alternativo para la placa de prueba de imagen para reducir la tensión en las líneas de comunicación I2C que conectadas directamente al microprocesador de la placa principal. La placa de prueba de imagen fue modificada e instalada en la línea con mayor incidencia, como resultado fueron reducidos los índices de defectos considerablemente, probando que el rediseño de la placa de prueba de imagen redujo los índices de defectos causados por sobre estrés eléctrico en el microprocesador de televisores inteligentes.

Palabras clave: Estrés eléctrico, Descarga electrostática, I2C, Microprocesador, Televisor

Abstract of the thesis presented by **Juan Carlos Rosas Moreno** as a partial requirement to obtain the Master degree in Engineering and Innovation

Rediseño de Placa de Prueba de Imagen para Reducir el Estrés Eléctrico en Microprocesador de Televisores Inteligentes

Abstract approved by:

Dr. Alejandro Guzman Ocegueda
Thesis' Director

The high defects rates presented in production lines of smart televisions in Samsung Mexicana Company, created an opportunity of this thesis work. The main defect presented in production lines is non-image defect, and one of the main causes is electrical damage on the microprocessor of the main board of the television. Through a documentary research, were identified the main phenomena involved in the electrical damage of electronic components, and with a field research were identified the variables that interact in the production process that may cause the defects. A failure mode and effect analysis was developed to identify and focus on the critical process operations, and a visual decision support system was developed to select the main models and production lines where the occurrence of the defects is highest and thus apply the countermeasures to avoid defects. By simulating the electrical variables of the critical production process operation, an overvoltage was identified in the I2C communication circuit between the image test electrical board and the television main board. An alternative for the image test electrical board was simulated to reduce the overvoltage in the I2C communication lines that connect directly to the television main board microprocessor. The image test electrical board was modified and installed on the production line with a higher defect incidence, as a result, the defect rates of electrical damage on microprocessor were reduced considerably, proving that the redesign of the image test electrical board reduced the defect rates caused by electrical overstress on the main board microprocessor of smart televisions.

Keywords: Electrical overstress, Electrostatic discharge, I2C, Microprocessor, Television

Dedicatoria

Dedico este trabajo de tesis primeramente a Dios por darme la vida y salud para llegar hasta este momento tan importante de mi formación profesional y por convertir las situaciones difíciles en oportunidades para mi desarrollo personal. A mi esposa por darme todo su apoyo y paciencia mientras desarrollaba este trabajo, por reducir nuestras actividades juntos para darle tiempo a la investigación y por toda su comprensión. A mi familia por siempre creer en mí y animarme para seguir preparándome profesionalmente.

Agradecimientos

Agradezco a Dios por la vida y por la salud que me dio para desarrollar este trabajo de investigación. Agradezco a la empresa Samsung Mexicana por permitirme desarrollar el proyecto de aplicación dentro de sus instalaciones, así mismo por apoyarme económicamente y darme las facilidades para cursar el programa de posgrado en Ingeniería e Innovación, agradezco particularmente a mi jefe directo el Ing. Luis Galeana por el apoyo y libertad que me dio para desarrollar el proyecto de tesis como otros proyectos relacionados al programa de posgrado. Especial agradecimiento a CETYS Universidad por darme una beca del 20% para cursar el programa de posgrado en el campus Tijuana. Agradezco a CONACYT por el apoyo económico del 45% del costo total del programa de posgrado. A mis familiares por darme ánimos para seguir preparándome profesionalmente. Agradezco de manera especial al Dr. Alejandro Guzmán por su asesoría, por las revisiones y la dirección que dieron forma a este trabajo de tesis.

Tabla de contenido

	Página
Resumen	ii
Abstract	iii
Dedicatoria	iv
Agradecimientos	v
Lista de figuras	viii
Lista de tablas	x
Capítulo 1. Introducción	1
Capítulo 2. Antecedentes	2
2.1 ESD/EOS	2
2.1.1 Diferencia entre EOS / ESD	2
2.1.2 Fallas por EOS	5
2.1.3 Causas del EOS	6
2.1.4 Protección de los componentes electrónicos del EOS	7
2.2 Condición de enclavamiento	9
2.3 Interferencia electromagnética (EMI)	10
2.3.1 Prácticas de mitigación para interferencia electromagnética (EMI)	11
2.4 Situación actual interna de defectos por EOS	12
2.5 Análisis de circuito de placa principal y placa de prueba de imagen	15
2.6 Configuración de comunicación entre placa de prueba y placa principal	18
2.7 Configuración de salidas del microprocesador principal	18
Capítulo 3. Definición del problema	21
3.1 Justificación	21
3.2 Pregunta de investigación.....	23
3.2.1 Hipótesis.....	23
3.3 Objetivos	24
Capítulo 4. Metodología	25
4.1 Análisis de modo y efecto de falla	25
4.1.1 Análisis de modo y efecto de falla de proceso	26
4.2 Análisis de operación de prueba de imagen LCM.....	27
4.3 Fuente de datos	28
4.4 Análisis de datos	29
4.5 Población y muestra	29
4.6 Prueba estadística de hipótesis	30
	25

Capítulo 5. Resultados	31
5.1 Análisis FMEA de proceso.....	31
5.2 Análisis de variables eléctricas en operación de prueba de imagen.....	37
5.3 Prototipo de rediseño de placa de prueba de imagen.....	39
5.4 Modificación física de placa de prueba de imagen.....	42
5.5 Sistema de soporte de decisión visual.....	44
5.6 Resultados de defectos con placa modificada.....	47
Capítulo 6. Discusión de resultados	50
6.1 Prueba de hipótesis estadística.....	51
6.1.2 Prueba de rangos con signo de Wilcoxon para muestras pareadas.....	52
6.2 Análisis de objetivos.....	55
Capítulo 7. Conclusiones	57
7.1 Futuras investigaciones.....	57
Lista de referencias bibliográficas	58

Lista de figuras

Figura		Página
1	Modelo ESD de cuerpo humano	3
2	Referencia de la onda característica de EOS	4
3	Corriente transitoria en modelo de encendido	5
4	Falla de fundición metálica	6
5	Falla por cable de enlace abierto	6
6	Funcionamiento del diodo TVS	8
7	Dispositivo PTC limitador de corriente	9
8	Efectos de EMI en señal de dispositivos	11
9	Defectos presentados en procesos de producción	12
10	Principales causas de defectos en placa principal del televisor	13
11	Análisis de daños en microcontrolador de placa principal	14
12	Componentes dañados en placa principal	15
13	Líneas de comunicación de microcontrolador BGA	16
14	Conector CN1201 para placa de prueba VPE-08.....	17
15	Terminales del circuito integrado IC400	17
16	Configuración de comunicación I2C.....	18
17	Simulación de circuito actual nodo de fuente placa principal y placa de prueba	19
18	Índice de defectos en proceso de producción en ppm	21
19	Causas de defectos de no imagen	22
20	Causas de no imagen en placa main	22
21	Diagrama de flujo de operaciones de placa principal.....	31

22	Causas de no imagen por placa en porcentaje.....	36
23	Configuración actual de circuito de Comunicación I2C Placa de prueba - Placa principal.....	37
24	Localidades de medición de voltaje en placa VPE-08.....	39
25	Configuración del circuito de comunicación I2C de prototipo para placa de prueba de imagen.....	40
26	Componentes a eliminar en placa de prueba de imagen.....	41
27	Simulación de circuito con modificación de placa de prueba.....	42
28	Comparación de mediciones de voltajes placa modificada y no modificada.....	43
29	Defectos de BGA por SCL SDA por línea en PPM	44
30	Principales modelos en PPM de línea M27.....	45
31	Índices de defectos de línea M27 semana 10 a semana 15.....	46
32	Resultados de índices de defectos después de aplicación de placa modificada.....	49
33	Comparación de defectos en PPM de días de producción antes y después de modificación.....	50
34	Prueba de normalidad al 95% de índice de defectos antes de modificación.....	51
35	Prueba de normalidad al 95% para índices de defectos placa modificada	52
36	Gráfico de Pareto para índices acumulados antes y después de aplicación de placa modificada.....	55
37	Contraste de índices de defectos en PPM antes y después de aplicación de placa de prueba modificada.....	56

Lista de tablas

Tabla		Página
1	Valores absolutos de la escala de operación de microprocesador BGA	20
2	Cálculo de pérdidas por microprocesador defectuoso.....	23
3	Formato de análisis FMEA de proceso.....	27
4	Criterio de calificación de severidad.....	26
5	Criterio de calificación de ocurrencia.....	33
6	Criterio de calificación de los controles del proceso	34
7	Análisis de modo y efecto de fallas.....	35
8	Mediciones de voltajes antes de modificación de placa VPE-08.	38
9	Medidas de voltaje después de modificación de placa.....	43
10	Modelos con mayor índice de defectos.....	45
11	Índices de defectos antes de modificación de placa de prueba .	47
12	Resultado de defectos en PPM por día de producción.....	48
13	Índice de defectos en PPM antes y después de implementación de placa modificada.....	52
14	Diferencia de los pares de las muestras.....	53
15	Rango de diferencias en muestras estadísticas	53
16	Rangos con signo de diferencias en muestras estadísticas.....	53
17	Distribución estadístico de Wilcoxon de los rangos signados.....	54
18	Cálculo de ahorro por microprocesador salvado en periodo de evaluación de tres semanas.....	56

Capítulo 1. Introducción

El presente trabajo de investigación tiene como finalidad la reducción de componentes electrónicos dañados por sobre estrés eléctrico en la placa principal de televisores inteligentes. Abarcando los temas de sobre estrés eléctrico en la industria de electrónica de consumo, las descargas electroestáticas e interferencia electromagnética. Seleccionando estos temas a causa del impacto que tienen estos fenómenos sobre los componentes electrónicos y ser las causas principales de los defectos en los antecedentes de la problemática estudiada. La importancia de la investigación recae los altos índices de pérdidas presentados en los procesos de producción a causa del daño eléctrico en componentes. En el capítulo de antecedentes serán presentados los diferentes fenómenos que causan el daño eléctrico en las líneas de comunicación de la placa principal del televisor y las diferentes técnicas de prevención para cada fenómeno. Será explicada la comunicación serial I2C que utiliza la placa principal del televisor y la placa de prueba de imagen para generar patrones de imagen de inspección.

Será realizado un análisis de proceso para encontrar la operación donde son generados los defectos. Utilizando un software de simulación de circuitos eléctricos serán conocidas las condiciones en las que está expuesta la placa principal del televisor y software para análisis de datos. La investigación será delimitada a la línea de producción con mayor índice de defectos.

La investigación fue desarrollada en la empresa Samsung Mexicana con el objetivo de encontrar las causas de los defectos de daño eléctrico y desarrollar las contramedidas para la reducción de defectos presentados en la placa principal.

Capítulo 2. Antecedentes

La industria de la electrónica ha estado en constante crecimiento en la última década, según datos de Statista (2019), el crecimiento de la industria electrónica de consumo del año 2011 al 2019 ha sido del 22%.

Las estimaciones sugieren que en 2018 los gastos de los consumidores de dispositivos electrónicos de consumo alcanzaron más de mil millones de dólares. Estados Unidos y China son los mayores consumidores mundiales de estos productos (Statista,2019). En respuesta a este crecimiento, las empresas han tenido la necesidad de innovar para prevenir los defectos presentes en los procesos de producción.

De acuerdo a Intel (2016), el fenómeno de descarga electrostática (ESD por sus siglas en inglés) y sobres estrés eléctrico (EOS por sus siglas en inglés) cuesta a la industria electrónica millones de dólares en componentes dañados, placas electrónicas no funcionales y corrupción o pérdidas de información en memorias.

El EOS es principal causante de componentes electrónicos dañado según registra Intel (2016). A pesar de los esfuerzos por diseñar componentes resistentes a estos eventos, el 25% de las fallas totales de los componentes electrónicos son atribuidas al sobre estrés eléctrico (EOS), (Dhanasekharan Natarajan, 2015).

2.1 EOS/ESD

Los componentes y dispositivos electrónicos tienen una escala eléctrica absoluta de operación establecida por el fabricante. Cada componente debe ser operado por debajo del valor máximo de la escala para asegurar su correcto funcionamiento, su confiabilidad y su vida útil. (OSRAM, 2018)

En la prevención los efectos del fenómeno EOS es necesario conocer su naturaleza y las características que lo difieren del ESD, conocer las causas y los defectos relacionados a este fenómeno.

2.1.1 Diferencias entre EOS/ESD

Los eventos de descarga electrostática (ESD) son bastante definidos con una duración de tiempo comprendida en nanosegundos, tienen altos voltajes llegando a rangos de kilo voltios y con una corriente moderada. Los eventos ESD en su mayoría ocurren en modo

no energizado del componente. Un evento ESD del modelo del cuerpo humano es presentado en la figura 1.

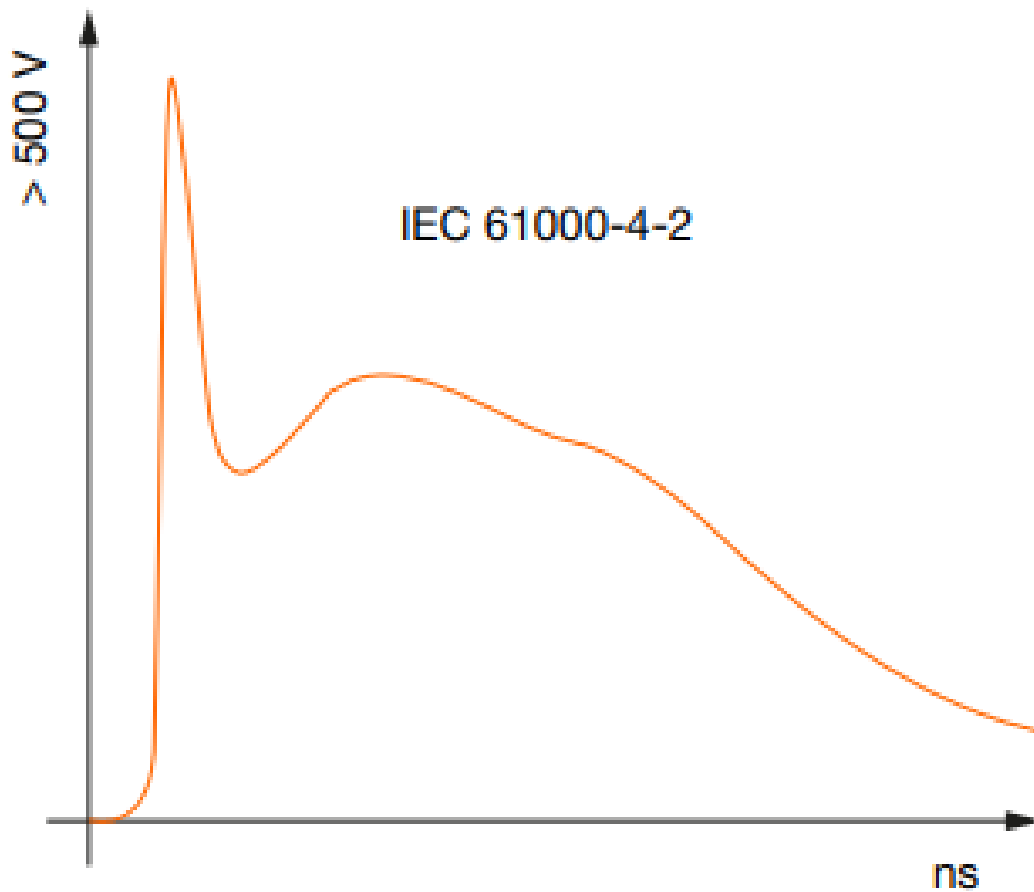


Figura 1: Modelo ESD de cuerpo humano. Fuente: (OSRAM, 2018)

De acuerdo a OSRAM (2018), los eventos de sobre estrés eléctrico (EOS) son extremadamente amplios y tienen una duración más larga comprendida desde los milisegundos hasta los segundos, con típicamente bajo voltaje y una corriente más alta. La forma de onda característica es descrita en la figura 2.

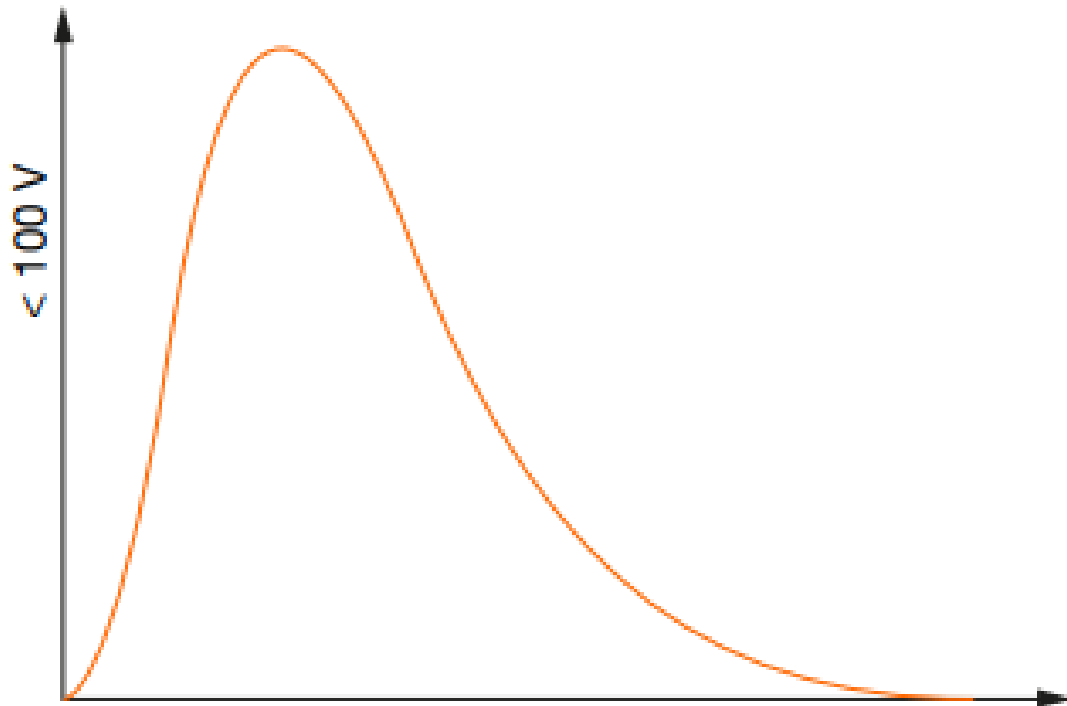


Figura 2: Referencia de la onda característica de EOS. Fuente: (OSRAM, 2018).

Los eventos EOS toman lugar en un modo energizado del componente o dispositivo, el daño es señal de sobrecalentamiento.

Los análisis de EOS tienen como objetivo medir y confirmar la escala de operación de los componentes electrónicos y comparar la escala con el rango establecido por el fabricante

Existen diferentes tipos de sobre estrés eléctrico y son clasificados de la siguiente manera.

- Sobre tensión eléctrica transitoria.
- Sobre tensión eléctrica de operación.
- Sobre tensión térmica.
- Sobre tensión vibración resonancia.

La tensión eléctrica transitoria ocurre momentáneamente, los componentes en la trayectoria en serie de la corriente transitoria y aquellos en la trayectoria de derivación de la tensión transitoria pueden estar sobre estresados. La forma de onda transitoria está relacionada con la constante de tiempo del circuito. Las formas de onda con mayor valor pico y duración tienen mayor energía transitoria, como es mostrado en la figura 3.

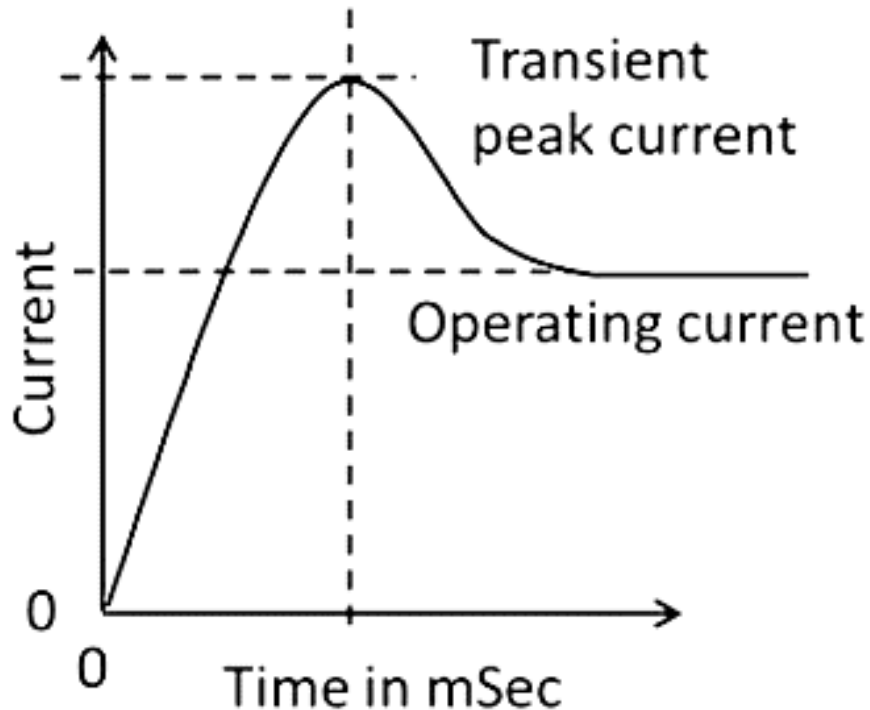


Figura 3: Corriente transitoria en modelo de encendido. Fuente: (D. Natarajan, 2015).

Una sobre tensión eléctrica (EOS) por operación es la continua aplicación de voltaje o corriente excedente a la escala operacional del componente. Si la sobre corriente fluye por el circuito hasta el componente durante un tiempo suficiente, la temperatura incrementa considerablemente. Comúnmente este calentamiento resulta en un daño permanente.

2.1.2 Fallas por EOS

La fundición metálica del integrado es una de las principales causas de fallas por EOS, ocurre cuando una sobretensión de corriente fluye por un tiempo prolongado sobre el chip metálico causando un daño permanente. Esta falla es mostrada en la figura 4.

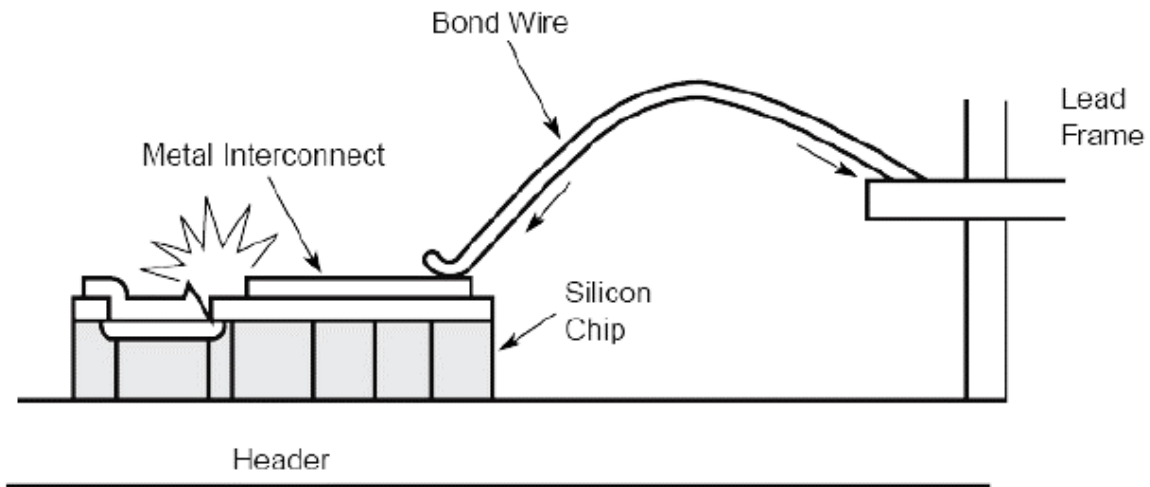


Figura 4: Falla de fundición metálica. Fuente: (Intel, 2016).

La falla por cable de enlace abierto es otra de las consecuencias de un evento EOS y ocurre cuando una sobre corriente transita por el cable de enlace entre la terminal y el circuito integrado, abriendo el cable e interrumpiendo la conexión, como es mostrada en la figura 5.

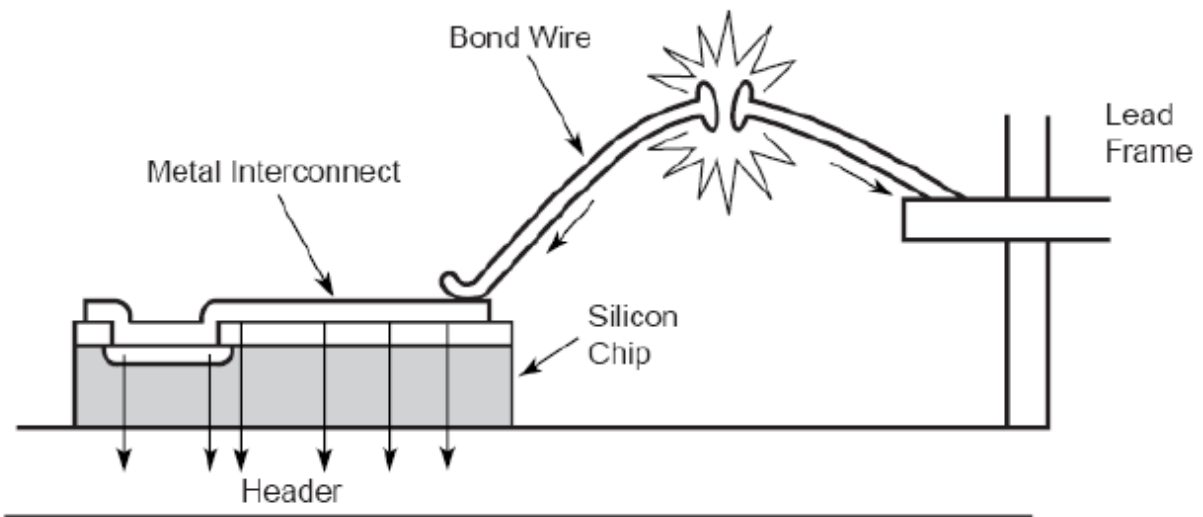


Figura 5: Falla por cable de enlace abierto. Fuente: (Intel, 2016).

2.1.3 Causas del EOS

El EOS es un concepto muy amplio y puede tener diferentes fuentes, incluyendo señales transitorias de encendido y apagado, corriente de entrada, voltajes y corrientes excesivas. A diferencia del EOS, ESD tiene fuentes electrostáticas, comúnmente

limitadas a la manufactura, embalaje y manejo de los componentes electrónicos, (OSRAM, 2018).

Una de las principales causas del EOS en la industria electrónica es la conexión cuando los componentes están energizados, este evento es conocido como “hot plugging”. Una gran cantidad de corriente fluye por el circuito durante la conexión energizada constituye un evento EOS y puede resultar en serios daños sobre el componente. Los componentes electrónicos pueden ser sobre estresados eléctricamente por varias razones. Un ejemplo de ello es la inestabilidad de la fuente de alimentación, si la corriente de la fuente está muy cerca del máximo de operación del componente electrónico, ésta debería estrechamente mantener la corriente constante, en caso de un mal diseño de la fuente, esta provocaría fluctuaciones y rebasarían la escala operacional del componente causando serios daños sobre este.

De acuerdo a Vison J.E. y Liou J.J. (2000) más del 25% de los defectos presentados en componentes electrónicos son atribuidos al EOS.

2.1.4 Protección de los componentes electrónicos del EOS

Dos técnicas utilizadas para la protección de los componentes electrónicos son:

1. Dispositivos de protección de sobre voltaje.
2. Limitadores de corriente.

El dispositivo de protección de sobre voltaje más común es el diodo TVS por sus siglas en inglés (transient voltage suppression). Este dispositivo está conectado en paralelo con la alimentación del componente electrónico y durante la operación normal permanece apagado, una vez superado el voltaje de operación normal, el diodo TVS es activado protegiendo de esta manera el componente electrónico, (OSRAM, 2018). Su funcionamiento es presentado en la figura 6.

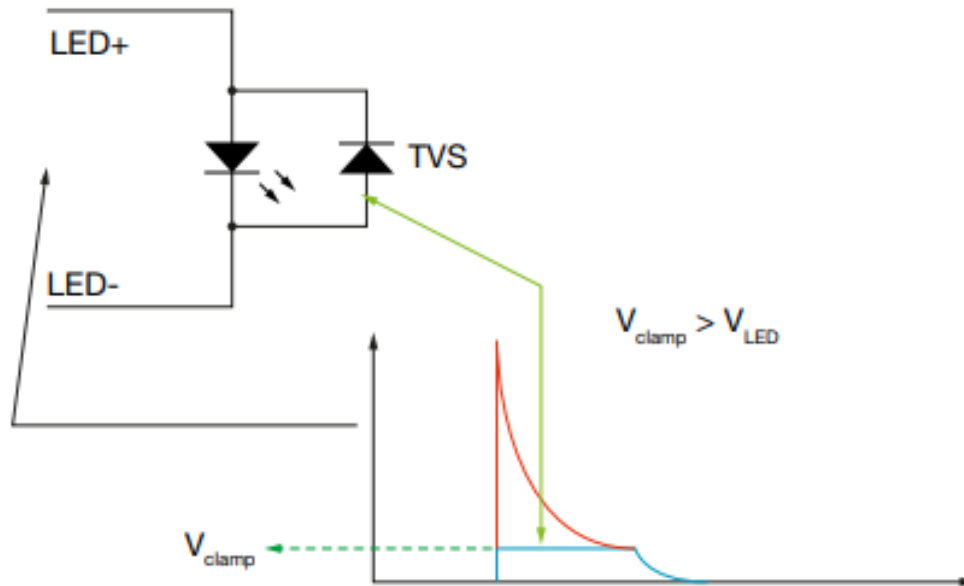


Figura 6: Funcionamiento del diodo TVS. Fuente: (OSRAM,2018)

Los limitadores de corriente son dispositivos conectados eléctricamente en serie con el componente electrónico que requiere protección. Existen dos tipos de limitadores de corrientes:

1. De restablecimiento.
2. De no restablecimiento.

Un dispositivo de no restablecimiento es de funcionamiento de un solo evento de sobre corriente y deben ser reemplazados, un ejemplo de estos dispositivos son los fusibles que abren el circuito cuando existe una sobre corriente protegiendo el componente electrónico.

Los dispositivos de restablecimiento funcionan de una manera similar a los dispositivos resistivos PTC por sus siglas en inglés (positive temperatura coefficient), estos cambian su resistencia en proporción a la temperatura del componente a proteger limitando de esta manera la corriente en el circuito y protegiendo el componente electrónico como es mostrado en la figura 7.

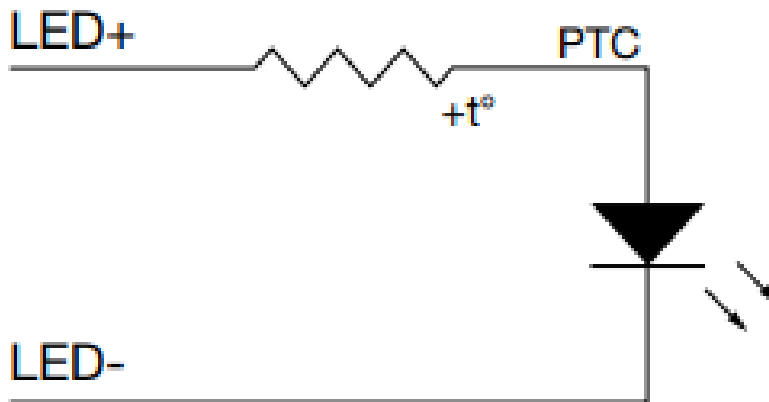


Figura 7: Dispositivo PTC limitador de corriente. Fuente: (OSRAM, 2018)

Existen otras condiciones físicas de los circuitos integrados que causan eventos EOS, el enclavamiento o latch-up en inglés es un término utilizado para referirse al mal funcionamiento de un componente electrónico donde las señales de voltajes chocan causando daños internos.

2.2 Condición de enclavamiento (latch-up)

La condición de enclavamiento (Latch-Up) puede ser considerada como un evento EOS, estas condiciones son muy comunes en los circuitos integrados debido a la circuitería interna y construcción de los mismos. Los circuitos integrados CMOS enfrentan un problema inherente e inevitable, las estructuras bipolares existentes en el diseño de la circuitería interna, (Fairchild Semiconductor, 1999). Una de las causas principales de las condiciones latch-up son las corrientes transitorias en los circuitos integrados y una mala secuencia de encendido de los mismos. En los pines de entrada y salida, el latch-up es aún más perturbador que en el núcleo de los circuitos integrados, pues en los pines las oscilaciones de corriente son más grandes. Por lo tanto, los circuitos de interfaz de almohadilla pueden ver las más grandes caídas de tierra y voltaje haciéndolos susceptibles al latch-up.

Una de las maneras de prevenir la condición de enclavamiento es la adición de pozos electrónicos y materiales de sustrato, estos contactos reducen la resistencia en la ruta de voltaje y tierra, reduciendo la posibilidad de una retroalimentación en el enclave. La circuitería de almohadilla usa tantos contactos como son posibles.

Otra causa de las fallas de los circuitos integrados en una etapa de ensamble final es la interferencia electromagnética, conocida como EMI por sus siglas en inglés (Electromagnetic interference).

2.3 Interferencia Electromagnética (EMI)

La interferencia electromagnética (EMI) puede causar mal funcionamiento en los circuitos integrados y placas electrónicas y tiene dos categorías:

1. Interferencia por emisión electromagnética. Es la radiación electromagnética que produce un dispositivo al espacio.

2. Interferencia electromagnética conducida. Es la interferencia de la radiación electromagnética conducida por un cable, (Samuel H. Russ,2016).

Los efectos de EMI son manifestados de las siguientes maneras:

- Bloqueo total de equipo.
- Equipos con comportamiento extraño.
- Respuestas erráticas.
- Errores paramétricos.
- Lecturas erróneas de sensores.
- Componentes dañados.

La interferencia electromagnética por conducción es conocida como emisión parasita del equipo, esta interferencia causa problemas en las señales de los dispositivos y un mal funcionamiento como es mostrado en la figura 8, y un alto nivel de interferencia por un tiempo prolongado provoca fallas catastróficas por sobre estrés eléctrico (EOS), (Vladimir Kraz, 2006).

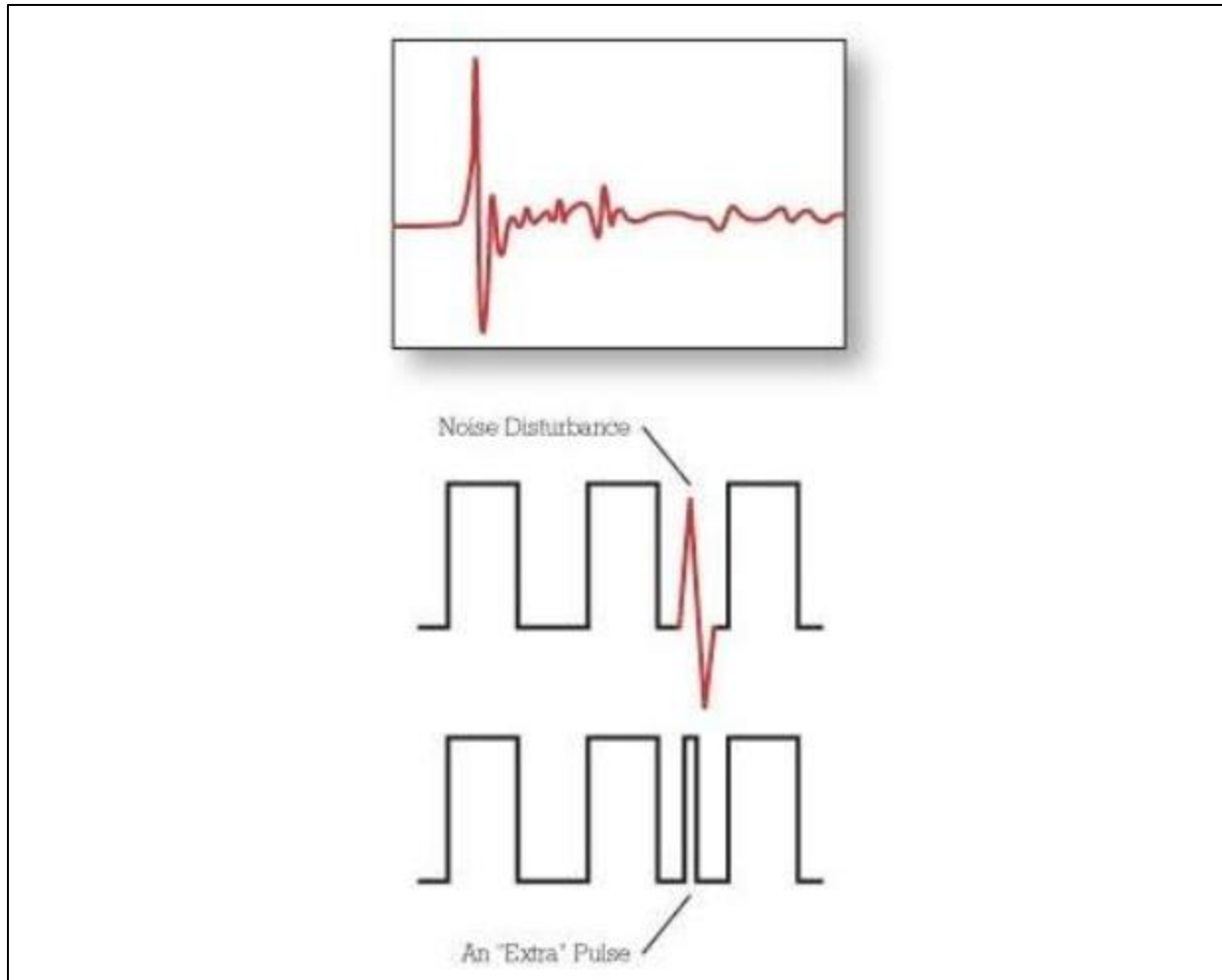


Figura 8: Efectos de EMI en señal de dispositivos. Fuente: (EEWeb,2012)

2.3.1 Prácticas de mitigación para interferencia electromagnética conducida (EMI).

Existen diferentes estrategias para prevenir los daños causados como lo son:

- Mejorar la calidad de tierra de las instalaciones eléctricas donde son conectados los equipos.
- Implementar filtros EMI en la alimentación de los dispositivos susceptibles a la interferencia electromagnética.

(Sripodok P., Jettanasen C., 2016).

2.4 Situación actual interna de defectos por EOS

Samsung Mexicana es una empresa de manufactura electrónica, con altos índices de defectos causados por componentes electrónicos dañados eléctricamente. El área de reparación de placas electrónicas está encargada de registrar todos los defectos presentados en los diferentes procesos de producción.

Existen dos procesos principales de producción donde ocurren los defectos en la placa principal del televisor.

- Proceso de ensamble y prueba eléctrica de placa electrónica principal (PBA).
- Proceso de ensamble final (LCM/Main).

El proceso de ensamble y prueba eléctrica de la placa electrónica es conocido como PBA por sus siglas en inglés (Printing Board Assembly). En este proceso son detectados la mayoría de defectos que presenta la placa principal del televisor debido a la prueba automatizada y lectura de los diferentes voltajes de la placa electrónica.

El proceso de ensamble final LCM (Liquid cristal module) y Main, son los procesos donde todos los componentes de la televisión son ensamblados. Un análisis de los diferentes defectos de placa electrónica principal presentados en los procesos de producción en un intervalo de tiempo de la semana diez a la semana quince del año 2020 es mostrado en la figura 9 en unidades de partes por millón (PPM).

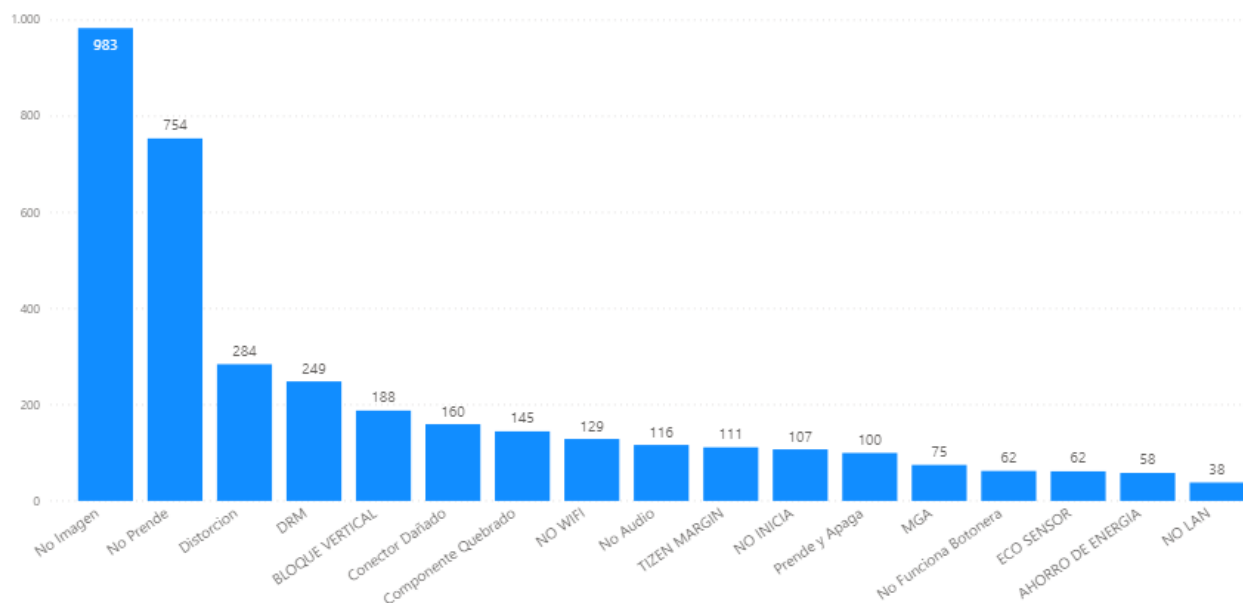


Figura 9: Defectos de placa principal presentados en procesos de producción en PPM. Fuente: Elaboración propia

Las diferentes causas de los defectos anteriores son presentadas en la figura 10, y muestran el daño eléctrico y el daño en microprocesador de placa principal como uno de los defectos más recurrentes en este proceso de producción.

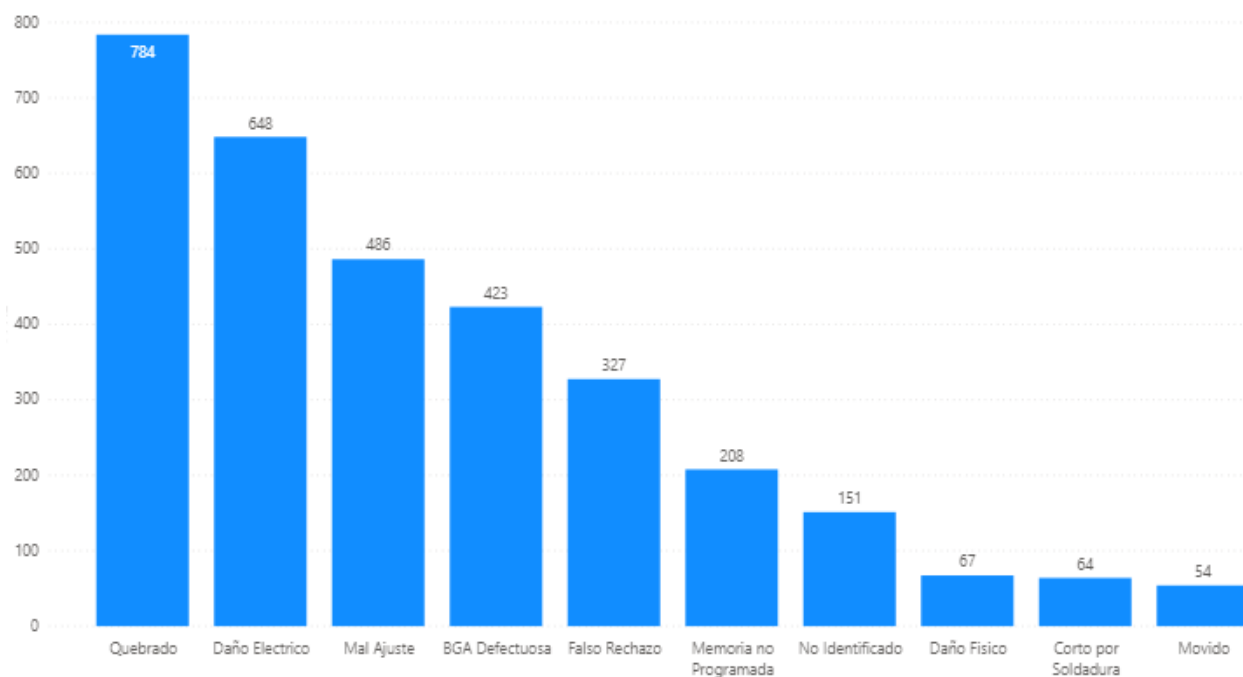


Figura 10: Principales causas de defectos en placa principal del televisor. Fuente: Elaboración propia

Con el análisis de datos anteriores, es posible concluir que el daño de EOS está presente en los procesos de producción, desde el ensamble de la placa electrónica principal del televisor, hasta los procesos de ensamble final. La investigación de campo hará enfoque en los procesos de ensamble final y en los defectos ocurridos en esos procesos.

Un análisis de los datos recolectados del área de reparación de placas electrónicas, muestra que la principal causa de los defectos de no imagen causados por placa principal en proceso de ensamble final LCM/Main, son las líneas de comunicación Tcon SDA y Tcon SCL como es mostrado en la figura 11.

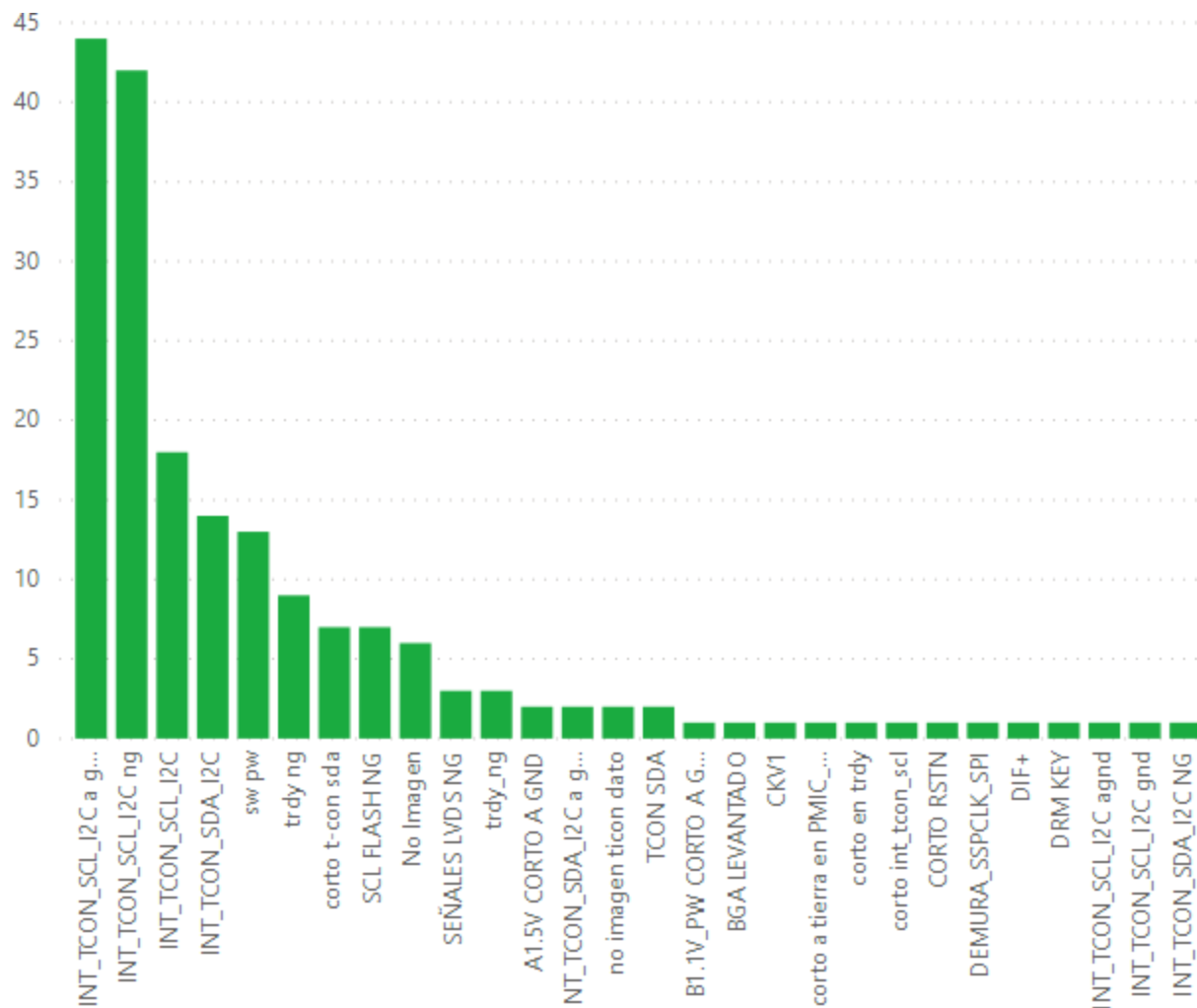


Figura 11: Análisis de daños en microcontrolador de placa principal. Fuente: Elaboración propia

Los defectos con estas líneas de comunicación dañadas del microprocesador provienen de los procesos de ensamble final LCM y Main, por lo que es inferido que el daño es causado en esos procesos ya que no hay registro de esas causas en procesos anteriores.

Para determinar el funcionamiento de la placa de prueba de imagen y el tipo de comunicación que tiene con la placa principal del televisor es analizado el circuito de ambas placas. Con el análisis, será posible encontrar qué tipo de comunicación tienen ambas, qué voltajes están presentes y la relación con las líneas de comunicación dañadas del microprocesador.

2.5 Análisis del circuito de placa principal y placa de prueba de imagen

El análisis de defectos obtenido de la base de datos del área de reparación de placas en un lapso de tiempo de cuatro semanas de la semana diez a la semana quince del año 2020, muestra que el daño eléctrico de la placa principal del televisor recae en el componente IC901, en la mayoría de las placas de televisores producidos es dada esta localidad al microprocesador BGA. Esto es mostrado en la figura 12.

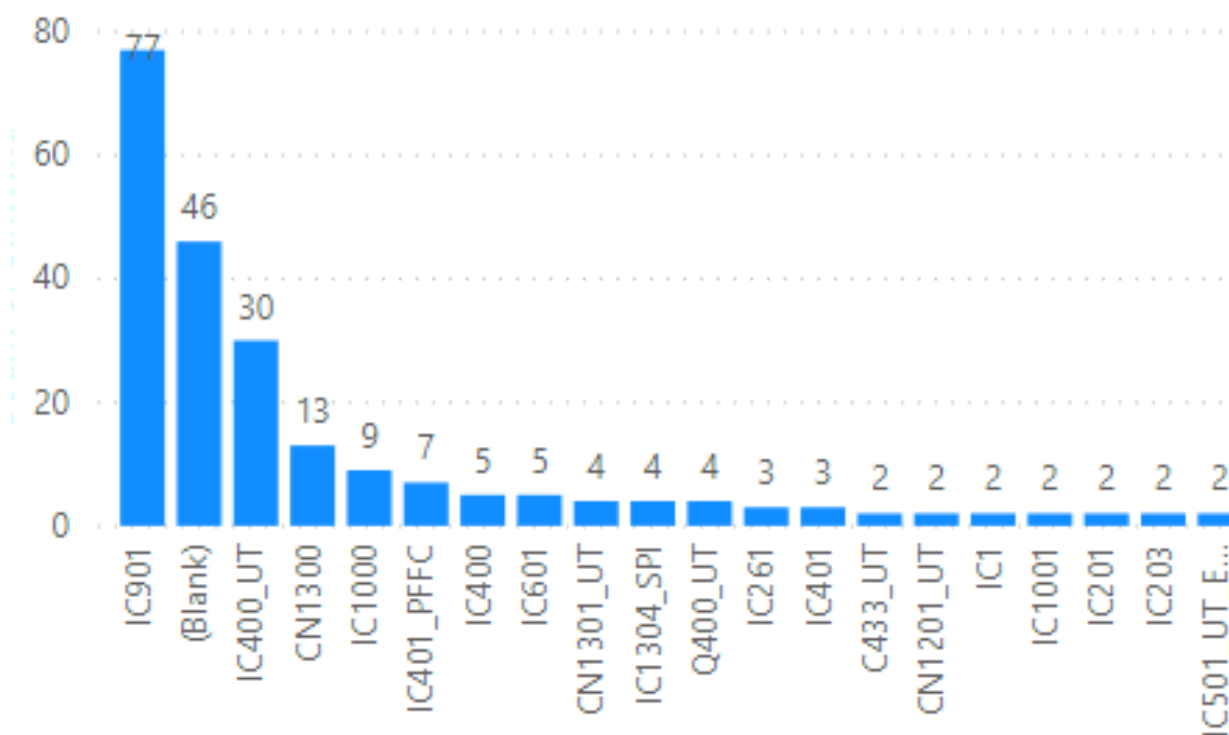


Figura 12: Componentes dañados en placa principal. Fuente: Elaboración propia

En el análisis de las placas defectuosas fueron encontradas las líneas de comunicación que resultan dañadas del microcontrolador, estas son Tcon-SDA y Tcon-SCL. Y son mostradas en la figura 13.

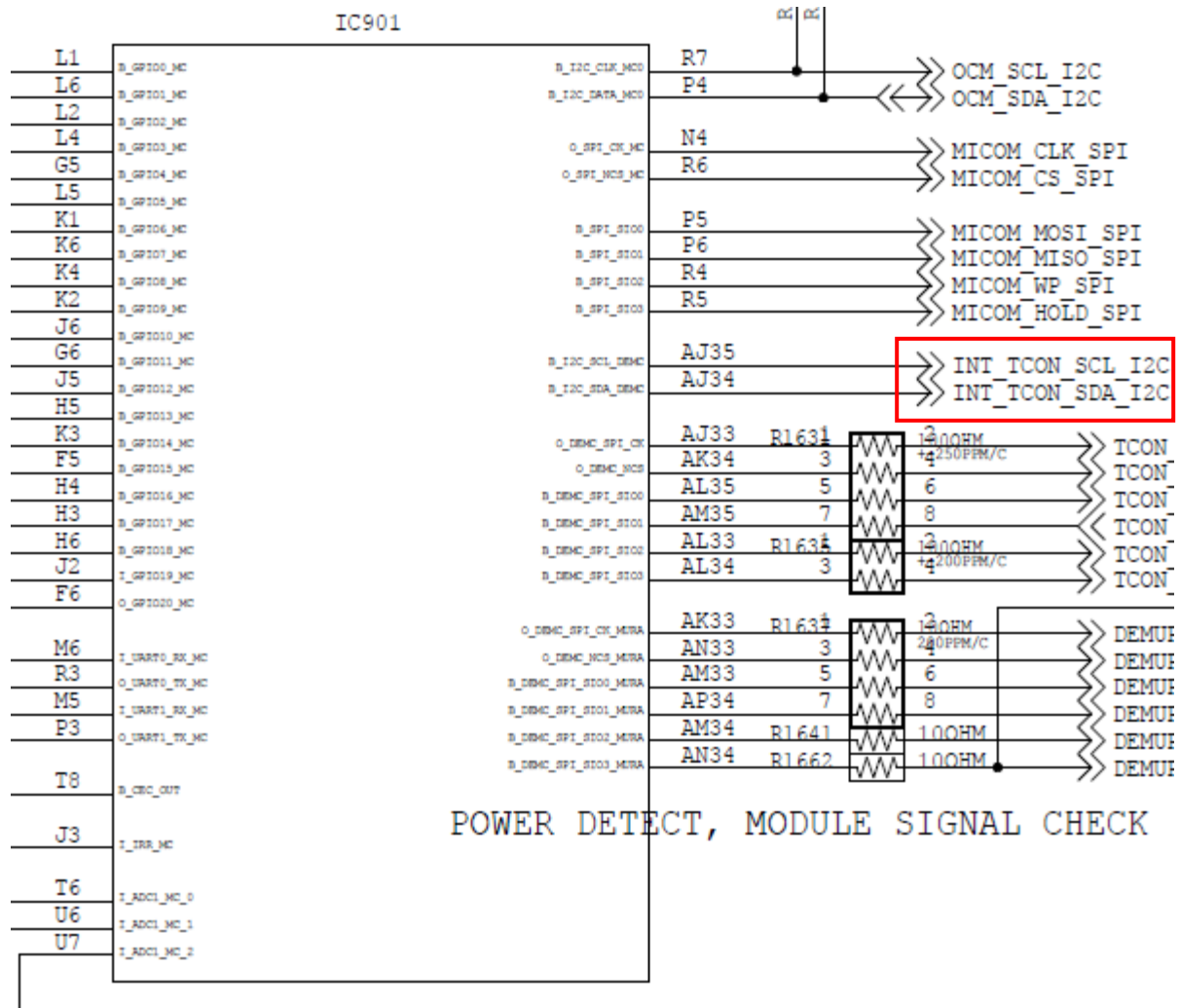


Figura 13: Líneas de comunicación de microcontrolador BGA. Fuente: (Samsung Electronics, 2020).

Estas líneas de comunicación están conectadas con el circuito integrado IC400 encargado de controlar la imagen del panel, además están en nodo con el conector CN1201, donde es conectado el cable de la placa de prueba de imagen conocida como placa VPE-08, por este conector entra una señal de 3.3 voltios como es mostrado en la figura 14.

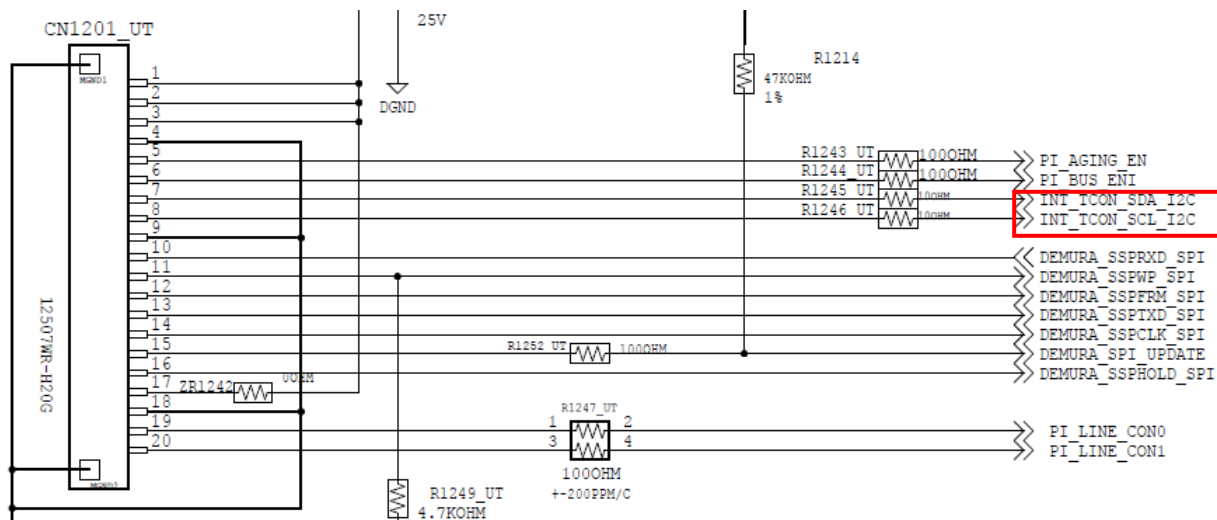


Figura 14: Conector CN1201 para placa de prueba VPE-08. Fuente: (Samsung Electronics, 2020).

Estas dos señales de voltaje llegan directamente a las terminales 21 y 22 del circuito integrado IC400 encargado del control de la imagen, mostrado en la figura 15.

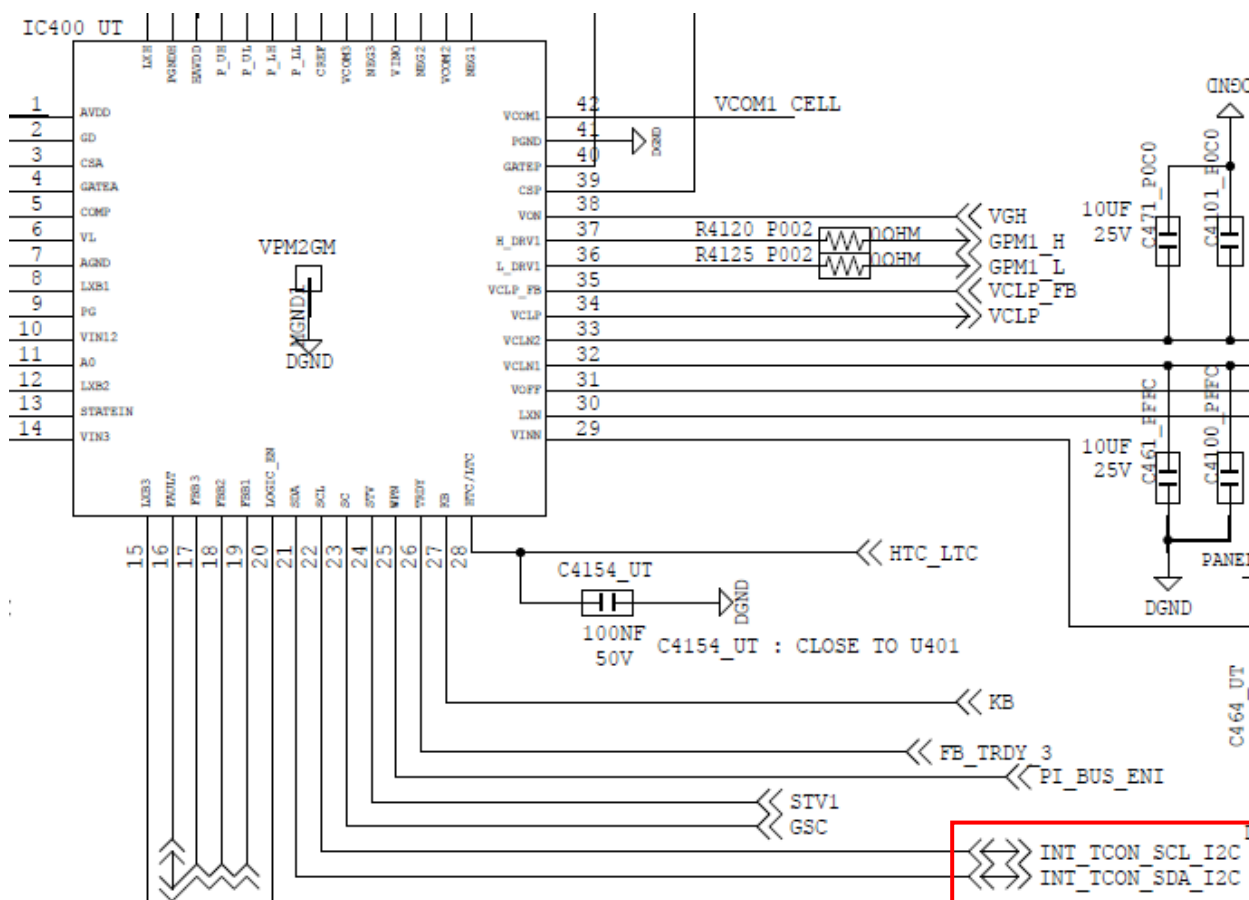


Figura 15: Terminales del circuito integrado IC400. Fuente: (Samsung Electronics, 2020).

Esta configuración de conexiones crea un nodo en donde convergen tres voltajes, dos de 3.3 voltios y uno de 5 voltios, por ende, aumenta la tensión en el circuito y ejerce una sobre tensión en los componentes conectados.

2.6 Configuración de comunicación entre placa de prueba y placa principal

La comunicación entre la placa de prueba de imagen y la placa principal del televisor es conocido como I2C (Inter-Integrated Circuit).

El protocolo de comunicación I2C es conocido como interfaz de dos cables, debido al requerimiento de solo dos líneas, la línea de datos (SDA) y la línea de reloj (SCL), la comunicación I2C tiene dos líneas de drenaje abierto, SDA y SCL que están conectadas a voltaje mediante un par de resistencias técnicamente conocidas como pull up. Gadre D.V., Gupta S. (2018)

La placa principal usa el sistema de comunicación serial I2C para mandar instrucciones al circuito integrado IC400 encargado de mandar imagen al módulo de cristal líquido, es decir la pantalla del televisor. La configuración de un circuito para comunicación I2C es mostrado en la figura 16.

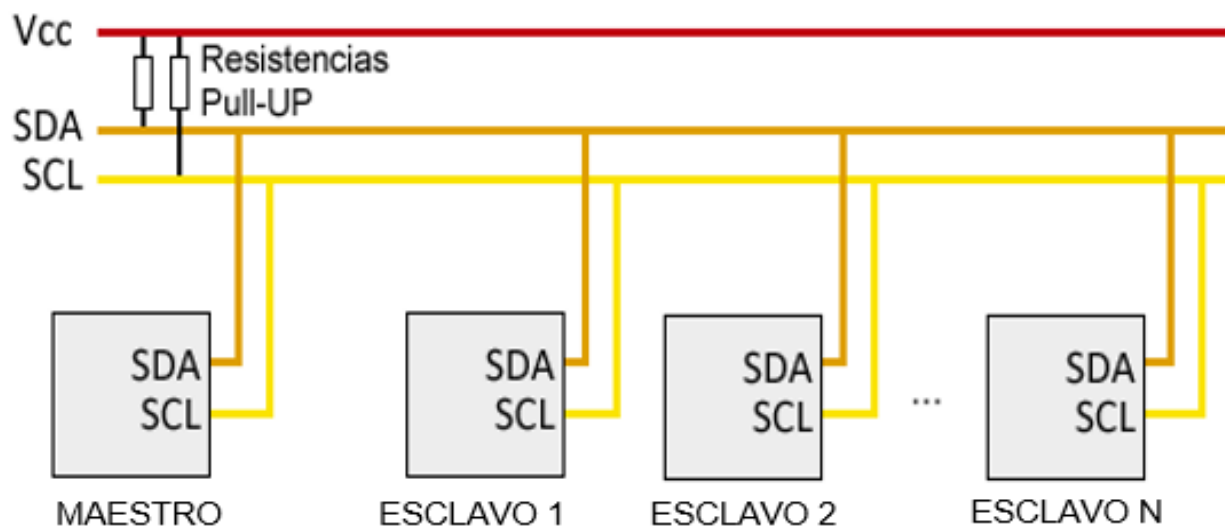


Figura 16: Configuración de comunicación I2C. Fuente: (Luis Llamas, 2018)

Las líneas de comunicación SDA y SCL entre la placa de prueba de imagen y la placa principal del televisor son simuladas en software para conocer el estado actual del circuito.

2.7 Configuración de salidas del microprocesador principal

Con la herramienta de National Instruments Multisim versión 14.0 fue simulado el circuito por el los voltajes del microprocesador, de la placa de prueba de imagen y el integrado IC400 es simulado y mostrado en la figura 17, para determinar la corriente y el voltaje que fluye a través del circuito.

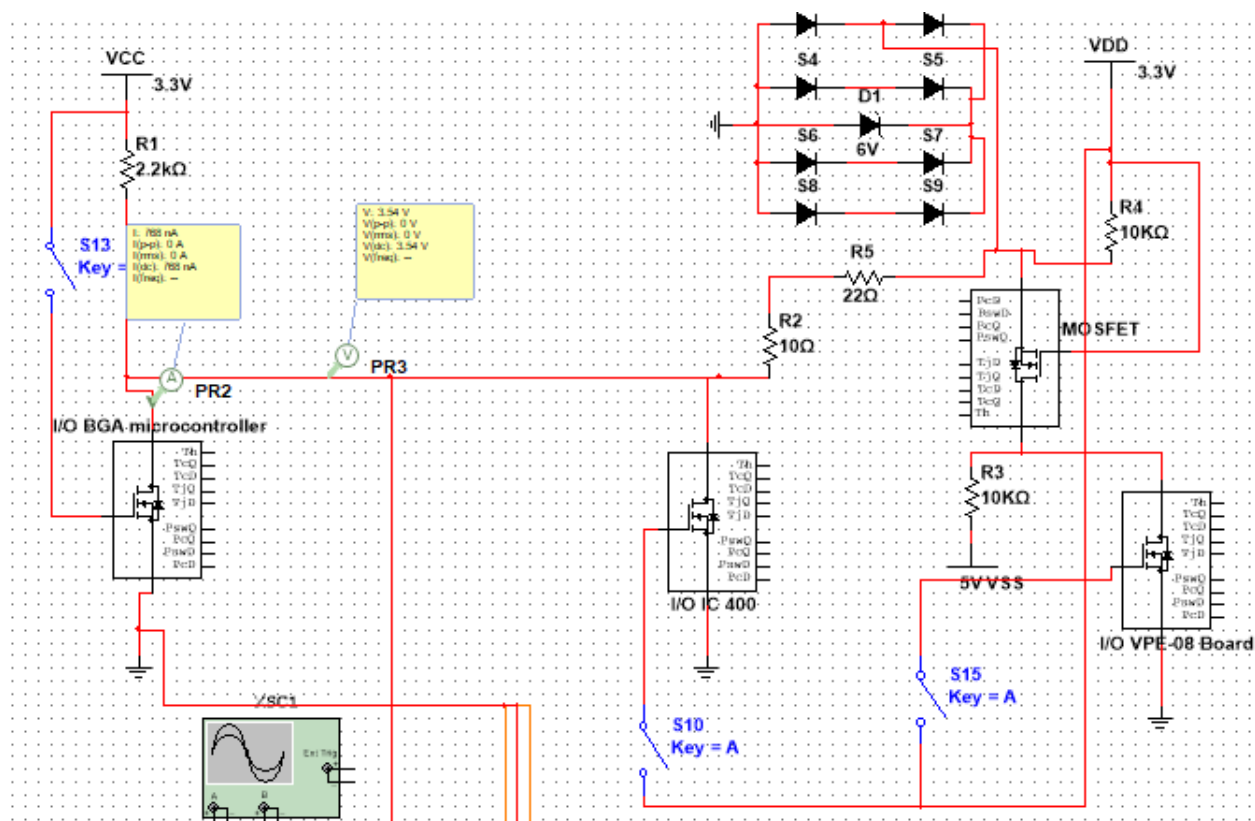


Figura 17: Simulación de circuito actual nodo de fuente placa principal y placa de prueba. Fuente: Elaboración propia

Con base a la simulación, hay una corriente máxima de operación de 2.5 mA y un voltaje en el circuito de 3.54V causada por las fuentes de voltaje de 3.3V y de 5V de la placa de prueba VPE-08 conectada a través de la terminal CN1201 con la placa principal, estas fuentes externas de voltaje aumentan la tensión en el circuito que por diseño debería mantenerse en 3.3V.

Los valores absolutos de la escala de operación del microprocesador de la placa principal son presentados en la tabla 1.

Tabla 1: Valores absolutos de la escala de operación de microprocesador BGA. Fuente: (Samsung Electronics, 2020)

Parameter	Symbol	Min	Max	Units
Core Power Supply of 0.97V	V_{DD}	0.9215	1.0185	V
Power Supply of 3.3V I/O	V_{DDIO}		3.465	V
Input Voltage of 3.3V I/O	V_{DDIO}		3.465	V
Input Voltage of 3.3V I/O(5V tolerance)	V_{DDIO5}		5.5	V
Operating Ambient Temperature	T_A	0	+80	°C
Storage Temperature	T_S	-40	+150	°C
RA Junction Temperature Tolerance	$T_{J(RA)}$	+125		°C
Thermal Resistance Theta JA Junction to Air n_2	Θ_{JA}	11.45		°C/W
Thermal Resistance Psi JT n_2	Ψ_{JT}	3.86		°C/W

El voltaje resultante de la simulación del circuito entre el conector de la placa de prueba y el microprocesador rebasan las características de operación de las entradas y salidas del microprocesador, provocando una falla inminente.

Para resolver el problema de sobre tensión de eléctrica en el circuito, es propuesto un rediseño a la placa de prueba de imagen para reducir la corriente suministrada y prevenir los daños de sobre estrés eléctrico en el microprocesador de la placa principal.

Capítulo 3. Definición del problema

3.1 Justificación

Samsung Mexicana es una empresa dedicada a la manufactura de televisiones. En el proceso son reportadas altas pérdidas por defectos presentados a causa del daño eléctrico sobre la placa principal (main board) del televisor. Uno de los daños eléctricos más relevantes en cuestión de costo por desperdicio, es el causado sobre el microprocesador de la placa principal, este microprocesador tiene un encapsulado tipo matriz de rejilla de bolas (Ball Grid Array), BGA por sus siglas en inglés.

El daño eléctrico causado sobre el microprocesador es irreversible y debe ser reemplazado, el costo por componente varía entre 6 - 15 dólares americanos. Siendo este el componente más caro de la placa principal.

Los índices mostrados por los defectos en los procesos de producción son medidos por unidades PPM (Partes Por Millón), entre los defectos más recurrentes encontrados en proceso es el de no imagen. Este defecto puede ocurrir por varias causas, siendo el daño eléctrico sobre la placa principal uno de los más recurrentes y está relacionado a pérdidas por desperdicio (scrap).

Un análisis de los defectos presentados en el mes de marzo y principios de abril del año 2020 en partes por millón (ppm), presentado en la figura 18, muestra el síntoma de no imagen como principal problema en las líneas de producción en un periodo de seis semanas, de la semana diez a la semana quince.

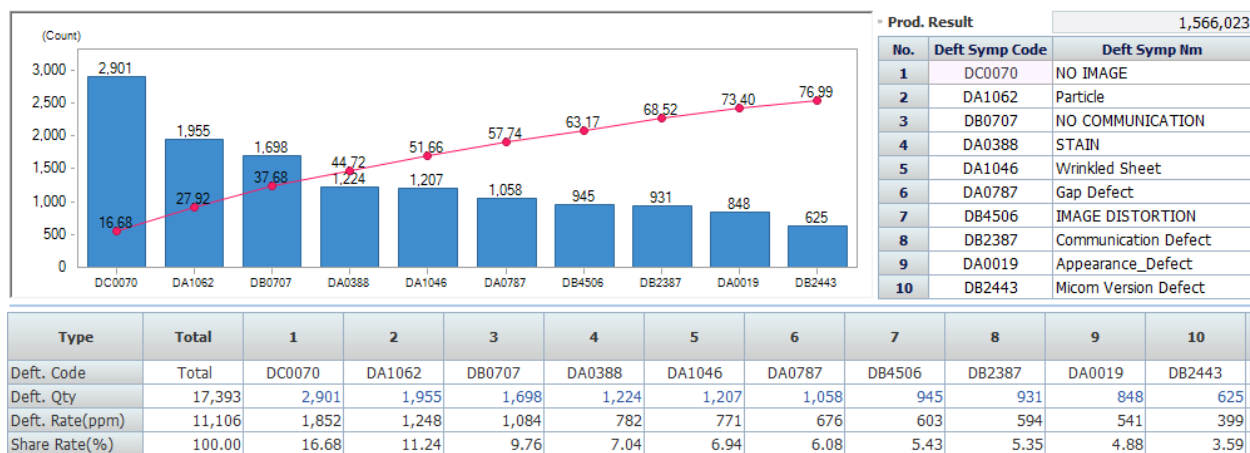


Figura 18: Índice de defectos en proceso de producción en ppm. Fuente: (Samsung Mexicana, 2020)

La captura de las causas del principal defecto de no imagen en ppm es mostrada en la figura 19.

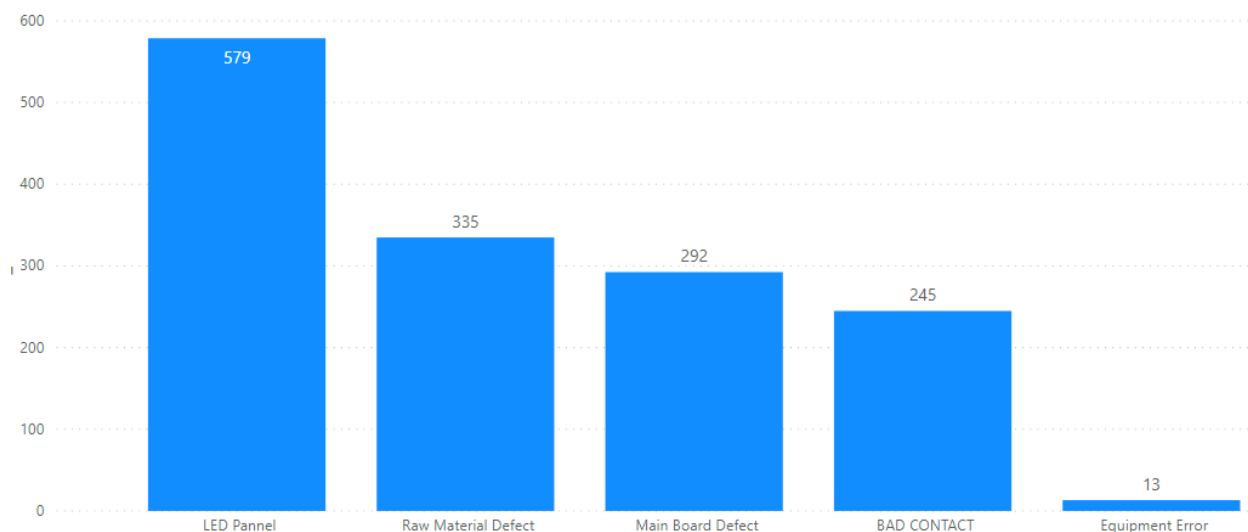


Figura 19: Causas de defectos de no imagen. Fuente: Elaboración propia.

Al hacer un análisis de las placas defectuosas enviadas al área de reparación por el defecto de no imagen, es posible ubicar la principal causa de estos defectos. El daño eléctrico en el microprocesador de la placa conocido como BGA (ball grid array) por su tipo de encapsulado ocupa el primer lugar. Este análisis es presentado en la figura 20.

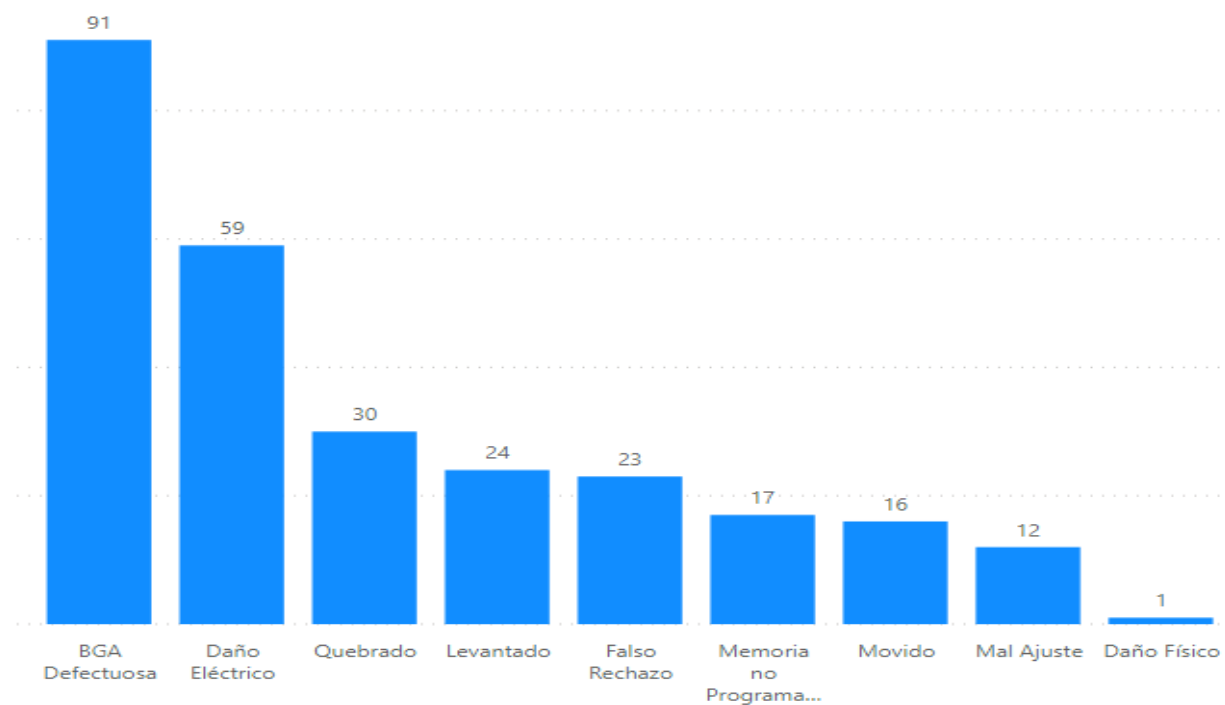


Figura 20: Causas de no imagen en placa main. Fuente: Elaboración propia

Con el análisis de la situación actual, calculamos las pérdidas en el primer mes de producción de cuatro semanas, de semana diez a semana quince, este cálculo es mostrado en la tabla 2.

Tabla 2: Cálculo de pérdidas por microprocesador defectuoso. Fuente: Elaboración propia

Síntoma	Causa	Número de parte	Precio USD	Cantidad	Costo USD
NO IMAGEN	BGA DEFECTUOSA	-	-	1	-
NO IMAGEN	BGA DEFECTUOSA	1204-003558	6.36	2	12.72
NO IMAGEN	BGA DEFECTUOSA	1204-003657	7.18	1	7.18
NO IMAGEN	BGA DEFECTUOSA	1204-003660	10.35	1	10.35
NO IMAGEN	BGA DEFECTUOSA	1204-003741	14.57	1	14.57
NO IMAGEN	BGA DEFECTUOSA	1204-003757	10.2	3	30.6
NO IMAGEN	BGA DEFECTUOSA	1204-003775	17.94	10	179.4
NO IMAGEN	BGA DEFECTUOSA	1204-003779	8.88	40	355.2
NO IMAGEN	BGA DEFECTUOSA	1204-003784	9.32	30	279.6
NO IMAGEN	BGA DEFECTUOSA	BN81-19178A	9.028	2	18.056
Total=				91	907.676

El cálculo anterior sirve para proyectar una pérdida anual a 11,799.788 USD. Esto sin tomar en cuenta la temporada alta donde la producción es incrementada el doble durante tres meses.

Con base a los datos de situación actual presentados en la justificación del proyecto planteamos la siguiente pregunta de investigación.

3.2 Pregunta de investigación

¿Qué proceso previene el defecto de no imagen por daño eléctrico del microprocesador de la placa principal en el ensamble de televisiones inteligentes?

3.2.1 Hipótesis

Ha: Un rediseño de la placa prueba de imagen del LCM (Liquid cristal module) reduce el estrés eléctrico del microprocesador de placa principal en proceso de ensamble final.

H0: El rediseño de la placa de prueba de imagen del LCM (Liquid cristal module) no reduce el estrés eléctrico del microprocesador de placa principal en proceso de ensamble final.

3.3 Objetivos

El proyecto de investigación tiene como objetivo la reducción de los índices de defectos causados por el daño eléctrico en el microprocesador de placa main (BGA). Con esto, reducirán significativamente las pérdidas por desperdicio de material, en este caso el microcontrolador. Mejorará la productividad en líneas de ensamble LCM (Liquid Cristal Module en inglés) y líneas de ensamble Main (Ensamble final).

Objetivos específicos:

1. Reducir el 45% de los defectos de no imagen causados por placa principal.
2. Reducir al menos el 7% de los defectos totales de no imagen presentados en proceso de ensamble final.

Capítulo 4. Metodología

La metodología utilizada en esta investigación es documental y de campo, esta estudia la problemática actual a partir de la recolección y el análisis de datos directos y fueron implementadas técnicas de control estudiadas en los antecedentes de la problemática. El modelo metodológico empleado es de enfoque correlacional con el propósito de conocer las variables o procesos de impacto sobre la calidad del producto, en este caso el microcontrolador de la placa principal. Para determinar la etapa del proceso donde ocurren los defectos, es necesario describir las variables y el proceso de producción relacionados. Para esto, fue realizado un análisis de modo de falla para determinar cuáles procesos son más susceptibles a generar el defecto al que hace enfoque esta investigación.

4.1 Análisis de modo y efecto de falla (FMEA)

El Análisis del Modo y Efecto de Fallas, también conocido como AMEF o FMEA por sus siglas en inglés (Failure Mode Effect Analysis), nació en Estados Unidos a finales de la década del 40. Esta metodología desarrollada por la NASA, fue creado con el propósito de evaluar la confiabilidad de los equipos, en la medida en que determina los efectos de las fallas de los mismos, (López S. B., 2019).

- *Modo de falla.* Es la forma en la que los dispositivos fallan y son identificados respondiendo la pregunta ¿Cómo el dispositivo falla?
- *Efecto de falla.* Es la consecuencia indeseable cuando el modo de falla de un dispositivo ocurre. Uno o más efectos pueden ser asociados a un modo de falla, el efecto de falla es identificado encontrando la respuesta de la pregunta ¿Qué sucede si se produjera el modo de falla?
- *Causa de falla.* El análisis de causa de falla es el proceso para determinar la razón fundamental de ocurrencia del modo de falla de un dispositivo. Una o más causas raíz pueden ser asociadas a un modo de falla y son identificadas respondiendo la pregunta ¿Por qué el dispositivo falla?

(Dhanasekharan Natarajan, 2015, p36, p37, p38)

El análisis FMEA puede aplicarse a productos, procesos o sistemas.

4.1.1 Análisis de modo y efecto de falla de proceso

Un análisis de modo de falla de proceso (PFMEA siglas en inglés) tiene como objetivo descubrir las fallas de impacto sobre la calidad del producto, la reducción de confiabilidad del proceso, la insatisfacción del cliente y riesgos ambientales y de seguridad derivados de:

- Factores humanos.
- Métodos del proceso.
- Materiales usados.
- Máquinas utilizadas.
- Sistemas de medición de impacto en la aceptación.
- Factores ambientales de impacto en el desempeño del proceso, (Quality-One, 2019).

El análisis de proceso fue aplicado haciendo uso del formato del FMEA mostrado en la tabla 3, y fueron desarrollados los siguientes pasos:

1. Desarrollar un mapa del proceso. Representación gráfica de las operaciones.
2. Determinar los pasos críticos del proceso.
3. Determinar las fallas potenciales de cada paso del proceso (Modo de falla).
4. Determinar los efectos de las fallas y su severidad (Efecto de falla).
5. Determinar la ocurrencia de las fallas.
6. Indicar los controles (medidas de detección) para detectar las fallas.
7. Obtener el número de prioridad de riesgo para cada falla.

Tabla 3: Formato de análisis FMEA de proceso. Fuente: (Quality-One, 2019).

Potential Failure Mode and Effects Analysis (Process FMEA)																			
Item: Model Year / Vehicle(s): Core Team:		Process Responsibility: Key Date:				FMEA Number: Prepared by: FMEA Date (Orig.):				(Rev.):									
Process Step / Function	Requirements	Potential Failure Mode	Potential Effects of Failure	S E V	C L A S S	Potential Causes / Mechanisms of Failure	Current Process Controls Prevention	D C C	Current Process Controls Detection	D E T	R P N	Recommended Actions	Responsibility & Target Completion Date	Action Results					
														Actions Taken	S E V	O C C V	D E T	R P N	

El análisis MFEA permitió identificar el grado de riesgo de la ocurrencia del defecto de no imagen por sobre estrés eléctrico en microprocesador de placa principal en cada operación del proceso, y aplicar las acciones recomendadas para cada estación.

Determinada la operación crítica del proceso que genera el defecto de no imagen por placa principal, fue realizado un análisis de la operación y las variables eléctricas que interactúan con la placa principal que pudieran generar el defecto.

4.2 Análisis de operación de prueba de imagen LCM

La prueba de imagen en proceso LCM (Liquid Cristal Module) es realizada con el propósito de identificar defectos en la imagen del módulo LCM. Los defectos a identificar son:

1. Manchas en la imagen.
2. Contaminación interna.
3. Pixeles apagados

4. Módulo LCM quebrado

Para lograr la detección de defectos es necesario prender el módulo y activar patrones de imágenes mediante una placa de prueba de imagen externa conectada a la placa principal del módulo LCM. La placa de prueba de imagen externa es conocida como VPE-08, por medio de un cable es conectada a la placa principal del televisor, en este cable envía señales con diferentes voltajes, alguno de ellos conectados directamente al microprocesador de la placa principal.

El análisis de los voltajes y señales de la placa de prueba sirvieron para realizar una simulación del circuito y detectar las señales de riesgo que generan los defectos de microprocesador con daño eléctrico.

El análisis fue realizado tomando mediciones de voltajes de la placa VPE-08 en operación y modo espera conectado a la placa principal del televisor. La simulación del circuito actual fue realizada con el software de diseño y simulación de circuitos Multisim de la empresa National Instruments.

La simulación y análisis del circuito fueron realizados para el modelo con mayor ocurrencia de defecto, para determinar la ocurrencia de las fallas en el proceso, fue usada la herramienta de análisis de datos Power Bi® y las fuentes de datos son los registros de control interno de defectos de la compañía.

4.3 Fuente de datos

Los datos a recolectar son de tipo cuantitativos y son obtenidos de fuentes de datos secundarios, en específico, fuentes internas de datos secundarios generados por los registros de defectos del sistema de control de la compañía.

Las fuentes de datos secundarios tienen la ventaja de ahorro de tiempo y costos, generalmente son menos costosas que las fuentes primarias. Los datos secundarios pueden ser divididos por sus fuentes, interna o externa. Fuente interna es cuando son tomados los datos de la organización donde será llevado a cabo la investigación y puede ser invaluable en la identificación, aclaración y predicción de ciertos problemas (Aljandali A. 2016).

El sistema GMES fue utilizado como herramienta de recolección de datos, este sistema contiene la base de datos de los defectos registrados en el proceso de producción de la compañía.

4.4 Análisis de datos

Los datos recolectados de los defectos presentados en proceso de producción sirvieron para realizar un sistema de soporte de decisión de analítica visual con la finalidad encontrar los modelos y las líneas con mayor recurrencia de defectos y conocer sus causas.

El proceso de toma de decisiones es una parte esencial de cualquier organización. Un sistema de soporte de decisión son sistemas asistidos por computadora que ayudan al tomador de decisiones a llegar a cierta decisión, (R. G. Joshi and H. S. Fadewar, 2019). De acuerdo con el modelo Herbart *Simon* el proceso de toma de decisión está dividido en tres partes

1. *Fase de inteligencia*. Es la identificación del dominio del problema que requiere una toma de decisión.

2. *Fase de diseño*. Donde son encontradas soluciones y su viabilidad.

3. *Fase de decisión*. Selección de la mejor posible alternativa.

(Filip F.G., 2017)

El sistema de soporte de decisión fue realizado en el programa de analítica visual Power BI®, los datos recolectados por medio del sistema GMES y su análisis, permitió seleccionar la población de estudio tomando en cuenta las características delimitadas en la investigación.

4.5 Población y muestra

Las características de la población de estudio son los defectos de no imagen causados por placa principal del televisor. Con esta delimitación, fue realizado el análisis de los datos con la herramienta Power BI®. En el análisis fue encontrado el modelo de televisión con más alto índice del defecto planteado en la investigación como daño de sobre estrés eléctrico en microprocesador de placa principal, así como la línea donde son producidos los mayores índices de defectos.

Determinada la población con el análisis de datos y obteniendo el tamaño de muestra fue realizada la implementación del rediseño de la placa de prueba de imagen en proceso de producción y fueron comparados los resultados de las muestras con un modelo estadístico para determinar la diferencia estadística de los resultados de las pruebas.

4.6 Prueba estadística de hipótesis

La realización de la prueba estadística es con la finalidad de contrastar la diferencia de medias entre las muestras con aplicación del rediseño de la placa de prueba de imagen y los registros de índices anteriores de defectos.

Son propuestos dos métodos estadísticos para prueba de hipótesis.

- Prueba T Student para dos muestras pareadas.
- Prueba de rangos con signo de Wilcoxon.

El método de comprobación de hipótesis estadística es seleccionado dependiendo del tipo de distribución de los datos recolectados.

La prueba T Student pareada es una prueba de hipótesis utilizada para comparar las medias de dos poblaciones cuando cada elemento de la población está relacionado con un elemento de la otra (Springer 2008).

Para utilizar la prueba paramétrica T Student pareada, deben ser cumplidos los siguientes supuestos:

- La variable dependiente debe ser continua (intervalo / relación).
- Las observaciones son independientes entre sí.
- La variable dependiente debe estar aproximadamente distribuida normalmente.
- La variable dependiente no debe contener valores atípicos,
(Statistics Solutions, 2020).

La prueba de rangos con signo de Wilcoxon es una prueba no paramétrica considerada similar a la prueba T Student pareada, pero es usada para datos ordinales o datos que violan cualquier apariencia de distribución normal, (MacFarland T.W., Yates J.M. 2016). Con base a la distribución de los datos recolectados, fue determinado el método de prueba de hipótesis llevado a cabo.

Capítulo 5. Resultados

5.1 Análisis FMEA de proceso

Como parte del análisis para determinar las operaciones críticas de falla del microprocesador de la placa principal, fue llevado a cabo el análisis de Modo y Efecto de Fallas (FMEA por sus siglas en inglés) de proceso.

El primer paso fue hacer un diagrama de flujo del proceso para ubicar visualmente las operaciones del proceso de la placa principal. El proceso es presentado en la figura 21.

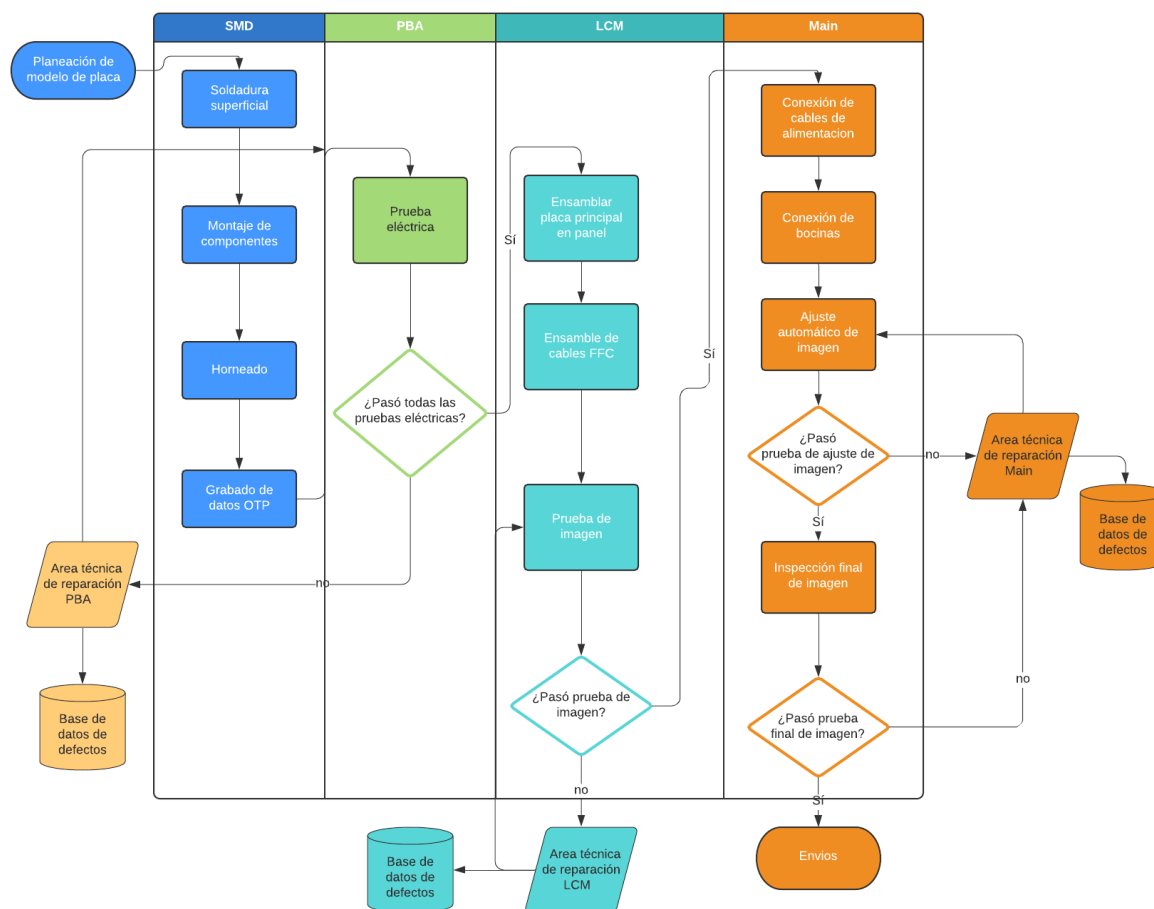


Figura 21: Diagrama de flujo de operaciones de placa principal. Fuente: Elaboración propia

El segundo paso del análisis FMEA fue establecer las fallas potenciales que pueden ocurrir en cada operación (Modo de falla). El tercer paso fue asignar la severidad de la falla y los criterios tomados para la asignación son presentados en la tabla 4.

Tabla 4: Criterio de calificación de severidad. Fuente: Bryan Salazar López (2019)

Calificación		Criterio	
Cuantitativa	Cualitativa	Efecto en el cliente	Efecto en el proceso
1	Ninguno	Sin efecto perceptible	Ligero inconveniente para la operación u operador.
2	Muy menor	No se cumple con el ajuste, acabados o presenta ruidos. Defecto notado por clientes críticos (25%)	Una parte del producto puede tener que ser reprocesado. Sin desechos.
3	Menor	No se cumple con el ajuste, acabados o presenta ruidos. Defecto notado por el 50% de los clientes.	Una parte del producto puede tener que ser reprocesado. Sin desechos.
4	Muy bajo	No se cumple con el ajuste, acabados o presenta ruidos. Defecto notado por el 75% de los clientes.	El producto debe ser seleccionado y una parte reprocesada. Sin desechos.
5	Bajo	Producto con especificaciones de calidad o niveles de desempeño bajos. Operable o usable.	El 100% del producto debe ser reprocesado o reparado fuera de línea.
6	Moderado	Producto operable o usable pero el cliente estará insatisfecho.	Una parte del producto puede tener que ser desechado sin selección o reparado con un tiempo y costo alto
7	Alto	Producto operable o usable pero el cliente estará muy insatisfecho.	El producto tiene que ser seleccionado y una parte reparada con un tiempo y costo alto
8	Muy alto	El producto es inoperable o inusable.	El 100% del producto debe ser desechado o puede ser reparado a un costo inviable.
9 - 10	Peligroso	En modo potencial afecta la operación segura del producto y/o involucra un no cumplimiento con alguna regulación gubernamental.	Puede exponer al peligro al operador o al equipo.

Una vez determinada la severidad de las fallas potenciales fue asignada la ocurrencia como un cuarto paso de este análisis y los criterios para la calificación de la ocurrencia son mostrados en la tabla 5, con base al historial de defectos presentados en un intervalo de seis semanas de producción.

Tabla 5: Criterio de calificación de ocurrencia. Fuente: Elaboración propia

Calificación	Probabilidad	Criterio
1	Remota: Falla improbable	$P < 10$ ppm
2	Baja: Pocas fallas	$200 \text{ ppm} > P > 10 \text{ ppm}$
3		
4	Moderada: Fallas ocasionales	$350 > P > 200 \text{ ppm}$
5		
6		
7	Alta: Fallas frecuentes	$600 \text{ ppm} > P > 350 \text{ ppm}$
8		
9	Muy alta: Fallas persistentes	$P > 600 \text{ ppm}$
10		

El quinto paso llevado a cabo del análisis fue determinar el control actual de cada operación para la detección de las posibles fallas, a cada tipo de detección le es asignado un número del 1 al 10, siendo en número más bajo la mayor capacidad de detección de fallas. El criterio de control para detección es mostrado en la tabla 6.

Tabla 6: Criterio de calificación de los controles del proceso. Fuente: Elaboración propia.

Calificación	Criterio	Tipo de inspeccion		
		A	B	C
1	Controles seguros para detectar: El item ha pasado prueba de errores. Es casi improbable el hecho de realizar partes no conforme	X		
2	Controles casi seguros para detectar: El item ha pasado pruebas automaticas. No puede pasar la parte no conforme	X	X	
3	Controles con buena oportunidad de detectar, deteccion inmediata del error en la estacion o la estacion siguiente. No pasa la unidad no conforme	X	X	
4	Controles con buena oportunidad de detectar, deteccion en la estacion siguiente. No pasa unidad no conforme	X	X	
5	Controles que pueden detectar: Control "pasa no pasa" en 100% de las partes despues de dejar la estacion		X	
6	Controles que pueden detectar: Control en menos del 100% de las partes, puede estar apoyado en metodos estadisticos		X	X
7	Controles con poca oportunidad de detectar: Control logrado con doble inspeccion visual			X
8	Controles con poca oportunidad de detectar: Control efectuado con una inspeccion visual			X
9	Controles que probablemente no detectaran: Control logrado con verificacion indirecta o al azar			X
10	Certeza absoluta de no deteccion: No se controla, no se detecta			
A=	Prueba de error			
B=	Medicion automatizada			
C=	Inspeccion visual/manual			

El último paso del análisis fue determinar el número de prioridad de riesgo (RPN por sus siglas en inglés Risk Priority Point), es el producto de multiplicar la severidad, la ocurrencia y la detección o detectabilidad. Entre más alto el número RPN es un indicador

que deben implementarse acciones para evitar la ocurrencia de fallas de forma prioritaria. El análisis completo es presentado en la tabla 7.

Tabla 7: Análisis de modo y efecto de fallas. Fuente: Elaboración propia

Número de Operación	Proceso	Operación	Falla potencial	Efecto potencial de la falla	Severidad	Ocurrencia	Control actual del proceso	Detección	RPN
1	SMD	Soldadura	Corto circuito por exceso de soldadura	Diferentes defectos como no audio, no WiFi, No imagen	4	2	Medición automatizada	2	16
2		Montaje de componentes	Componentes desplazados, polaridad inversa	Diferentes defectos como no audio, no WiFi, No imagen	3	3	Medición automatizada	3	27
3		Horneado	Soldadura fría/ Componentes estresados térmicamente	Diferentes defectos como no audio, no WiFi, No imagen	4	3	Medición automatizada	3	36
4		Grabado de datos OTP	Falla en licencias HDMI, bluetooth. WiFi	No WiFi, no HDMI, no Netflix	3	3	Medición automatizada	2	18
5	PBA	Prueba eléctrica	No grabado de software	No prende TV	3	3	Medición automatizada	2	18
6			Componentes estresados electricamente	Diferentes defectos como no audio, no WiFi, No imagen	7	6	Medición automatizada	2	84
7			No ensamble de heatsink	Autoreinicio de television	3	2	Inspección visual	8	48
8	LCM	Ensamble de placa main	Daño físico en placa/ Daño eléctrico por ESD	Diferentes defectos como linea vertical, distorsion de imagen, No imagen	4	5	Medición automatizada	4	80
9		Ensamble de cables FFC	No comunicacion entre placa y pantalla	No imagen, distorsion de imagen	3	7	Inspección visual/Medición Automatizada	4	84
10		Prueba de imagen	Daño eléctrico en placa main	No imagen, no power	7	7	Inspección visual/Medición Automatizada	4	196
11	MAIN	Conexion de Lead Wire	Placa principal no energizada	No imagen	3	2	Inspección visual/Medición Automatizada	2	12
12		Conexion de bocina	No conexión de bocina/ Conector dañado	No audio	2	2	Inspección visual/Medición Automatizada	2	8

El resultado del análisis muestra cuatro operaciones críticas en el proceso de producción.

- Operación 6:** prueba eléctrica; posible falla de componentes estresados eléctricamente de placa principal. Nivel de detección: 2.
- Operación 8:** Ensamble de placa principal; posible falla de daño físico/ daño eléctrico por descarga electrostática. Nivel de detección: 4.
- Operación 9:** Ensamble de cables flexibles planos, FFC (Flat flexible cable) por sus siglas en inglés. Posible falla de no imagen. Nivel de detección: 4.
- Operación 10:** Prueba de imagen; Posible falla de daño de sobre estrés eléctrico en placa principal. Nivel de detección: 4.

Con la representación del mapa del flujo de la placa principal presentado en la figura 21, es posible descartar la operación 6 con los defectos por daño en microprocesador en placa principal por dos razones.

1. El nivel de detección de la operación no permite que producto no conforme pase a la siguiente operación. El control de inspección es realizado de manera automatizada, con mediciones de voltajes.
2. El 100% de las placas con defecto de no imagen por microcontrolador dañado provenientes de proceso de ensamble final, tienen un registro con resultado positivo de prueba eléctrica.

El análisis de causas de defectos de no imagen por placa principal, relaciona las operaciones del proceso con las causas, y de esta manera fueron seleccionadas las operaciones directamente relacionadas a la pregunta de investigación. El análisis de causas de los defectos presentados en seis semanas de producción de la semana diez a la semana quince del año 2020 es mostrado en la figura 22 en términos de porcentaje con respecto al total de defectos de no imagen causados por placa principal.

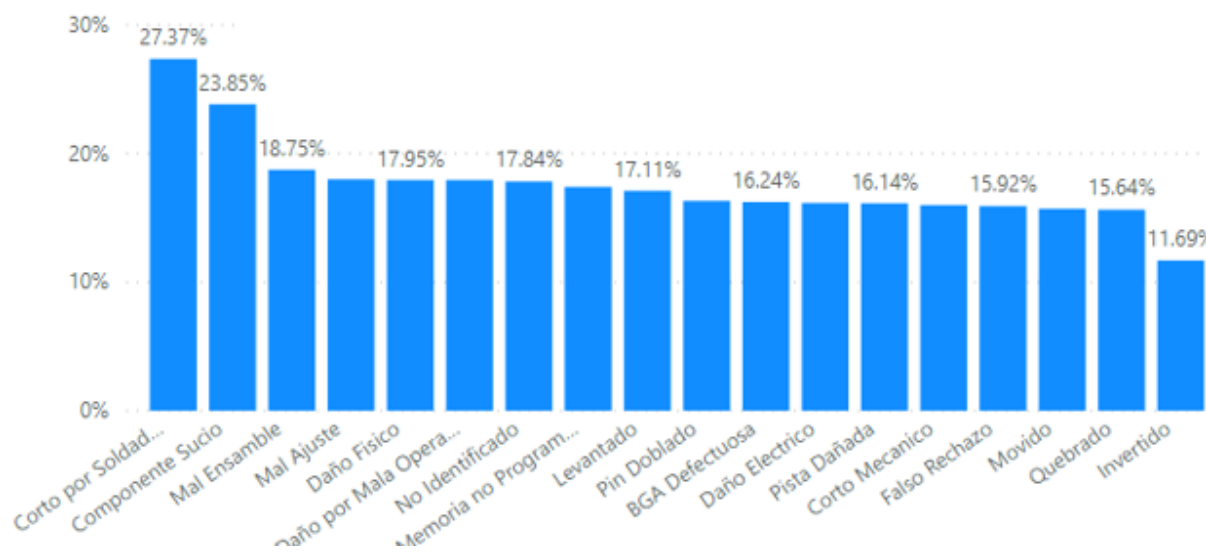


Figura 22: Causas de no imagen por placa en porcentaje. Fuente: Elaboración propia.

Las dos condiciones con las que debe cumplir un defecto para entrar dentro de la pregunta de investigación son:

1. Presentar defecto de no imagen
2. Defecto originado por daño en microcontrolador de placa principal

Descartada la operación 6, la única operación resultante del análisis que cumple con los dos requerimientos del enfoque de la investigación, es la operación número 10. En la estación de prueba de imagen en proceso LCM (Liquid cristal module) es donde es enfocada la investigación.

5.2 Análisis de variables eléctricas en operación de prueba de imagen

El análisis de las variables eléctricas en la operación crítica arrojada por el análisis de Modo y Efecto de Falla fue esencial para determinar los puntos de riesgos donde es causado el defecto de daño eléctrico en el microprocesador de la placa principal.

La configuración del circuito de la placa de prueba de imagen y la placa principal del televisor, es presentada en la sección 2.5 de antecedentes. Como es mostrado en la sección 2.6 de antecedentes, la configuración del circuito de comunicación conocida como I2C requiere solamente una fuente de voltaje para mantener el bit “Alto” con una resistencia técnicamente conocida como pull up a las líneas de comunicación serial Serial Data (SDA) y Serial Clock (SCL). Sin embargo, la configuración actual del circuito de la placa de prueba de imagen posee su propio voltaje y resistencia pull up, lo que genera una sobre tensión en el circuito. La configuración actual de conexión de placa de prueba de imagen y placa principal es mostrada en la figura 23.

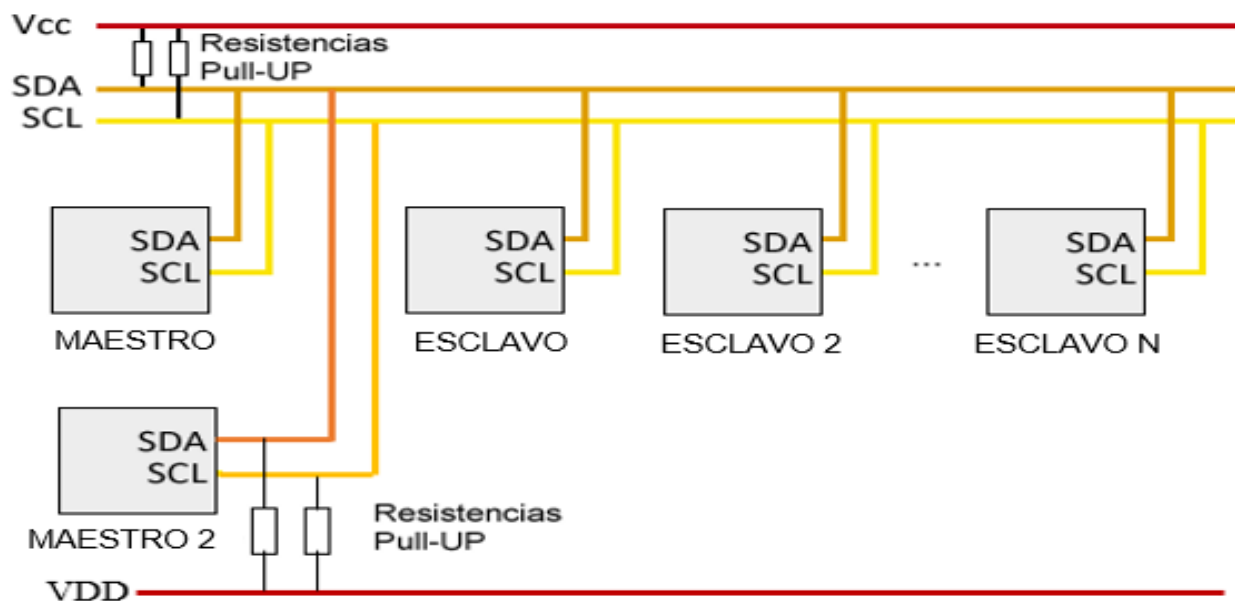


Figura 23: Configuración actual de circuito de Comunicación I2C Placa de prueba - Placa principal. Fuente: (Modificación de Luis Llamas, 2018)

Siendo el Master, el microcontrolador de la placa principal del televisor y Master 2 el microprocesador de la placa de prueba de imagen y los circuitos integrados Slave el IC400 de la placa principal del televisor.

En la tabla 8 son presentadas las mediciones de voltajes en los transistores tipo MOSFET que están en línea con las señales de comunicación SDA y SCL de una placa de prueba antes de la modificación y sirven de referencia para conocer la tensión en el circuito I2C.

Tabla 8: Mediciones de voltajes antes de modificación de placa VPE-08. Fuente: Elaboración propia.

Señal	Localidad	Voltaje (V)	Modo
SDA	Source	3.64	En espera
	Drain	5.32	En espera
	Gate	4.0	En espera
SCL	Source	3.64	En espera
	Drain	5.32	En espera
	Gate	3.92	En espera
SDA	Source	3.72	Operación
	Drain	5.40	Operación
	Gate	3.96	Operación
SCL	Source	3.72	Operación
	Drain	5.40	Operación
	Gate	3.96	Operación

En la figura 24 son presentadas las localidades medidas en la placa de prueba VPE-08.

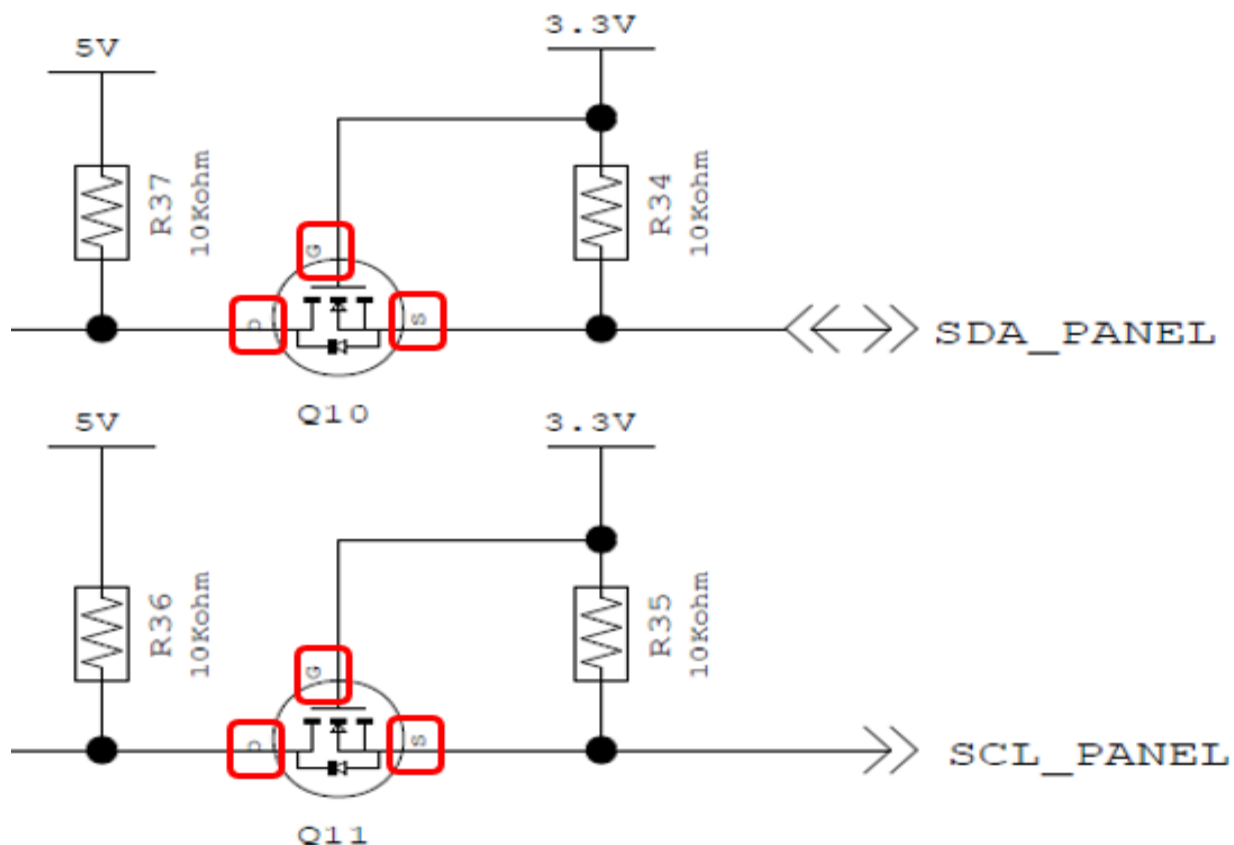


Figura 24: Localidades de medición de voltaje en placa VPE-08. Fuente: (Samsung Electronics, 2019)

Los voltajes medidos en el circuito de comunicación I2C, en las señales SDA y SCL dan como resultado una sobretensión en estas líneas de comunicación con respecto a la escala máxima de valores de operación otorgada por el fabricante del microprocesador presentado en la tabla 1. Como contramedida a la sobretensión de voltaje en el circuito de comunicación es planteado un rediseño de la placa de prueba de imagen VPE-08 para eliminar los voltajes excedentes en la configuración que incrementan la tensión.

5.3 Prototipo de Rediseño de Placa de Prueba de Imagen

El rediseño de la placa de prueba fue eliminar dos resistencias pull up para las señales SDA y SCL que están conectadas a la salida del microprocesador de la placa de prueba, para mantener la configuración del circuito con una sola fuente de voltaje como es presentado en la figura 25.

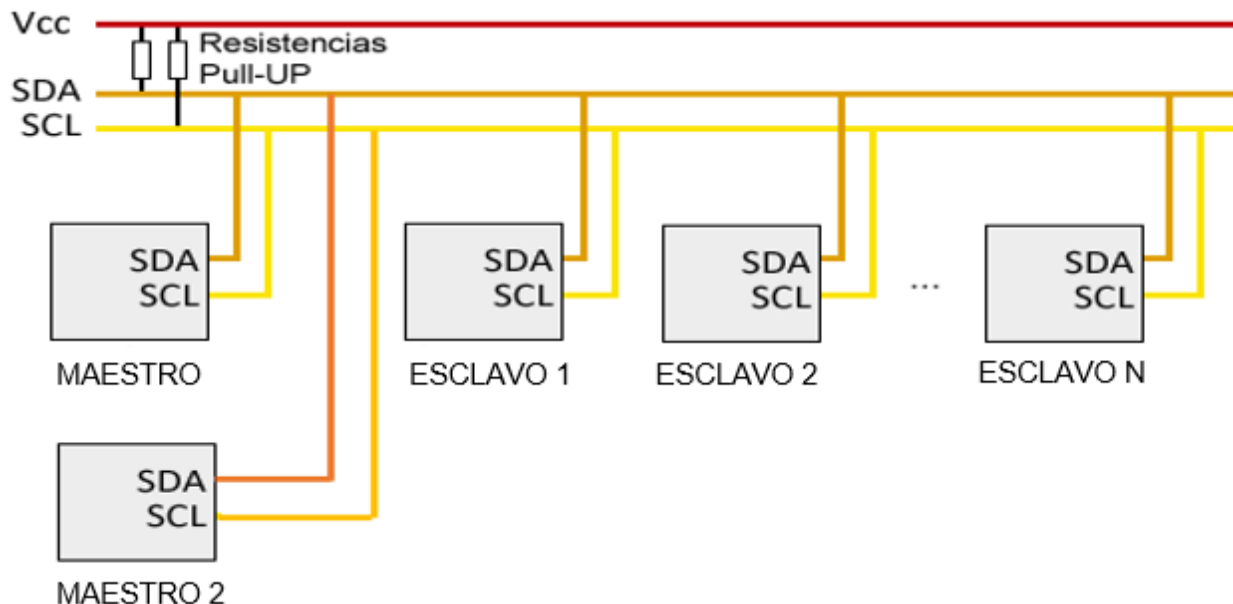


Figura 25: Configuración del circuito de comunicación I2C de prototipo para placa de prueba de imagen.
Fuente: (Modificación de Luis Llamas, 2018)

Para obtener la configuración anterior, es necesario modificar el circuito eléctrico de la placa de prueba de imagen conocida técnicamente como VPE-08. La modificación consiste en eliminar las resistencias pull up con localidad R34, R35, R36 y R37, para tener solamente las líneas de comunicación SDA y SCL del microcontrolador de la placa de prueba de imagen y eliminando la segunda fuente de voltaje. Esto reduce la sobre tensión en la configuración del circuito de comunicación. Las localidades a eliminar de la placa de prueba de imagen son mostradas en la figura 26.

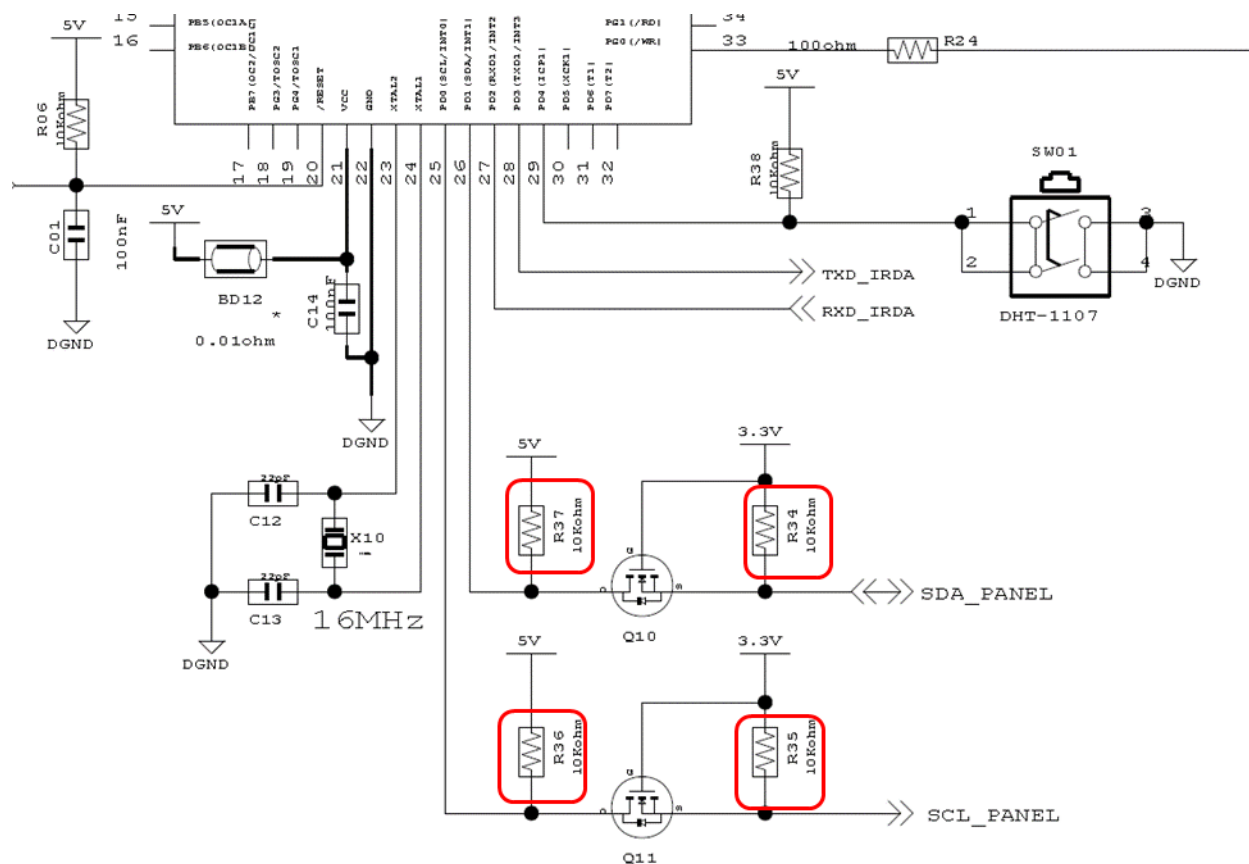


Figura 26: Componentes a eliminar en placa de prueba de imagen. Fuente: Samsung Electronics (2020)

Eliminando estos componentes en la simulación, no afecta la señal con los datos enviados de cualquier microprocesador en operación dentro del circuito. Sin embargo, hay una reducción significativa del voltaje en el circuito, con valor por debajo del límite superior permisible para entradas y salidas del microprocesador de la placa principal, cumpliendo con el objetivo de reducción de sobretensión.

La simulación del circuito modificado fue realizada con el software Multisim versión 14.0 y es presentada en la figura 27.

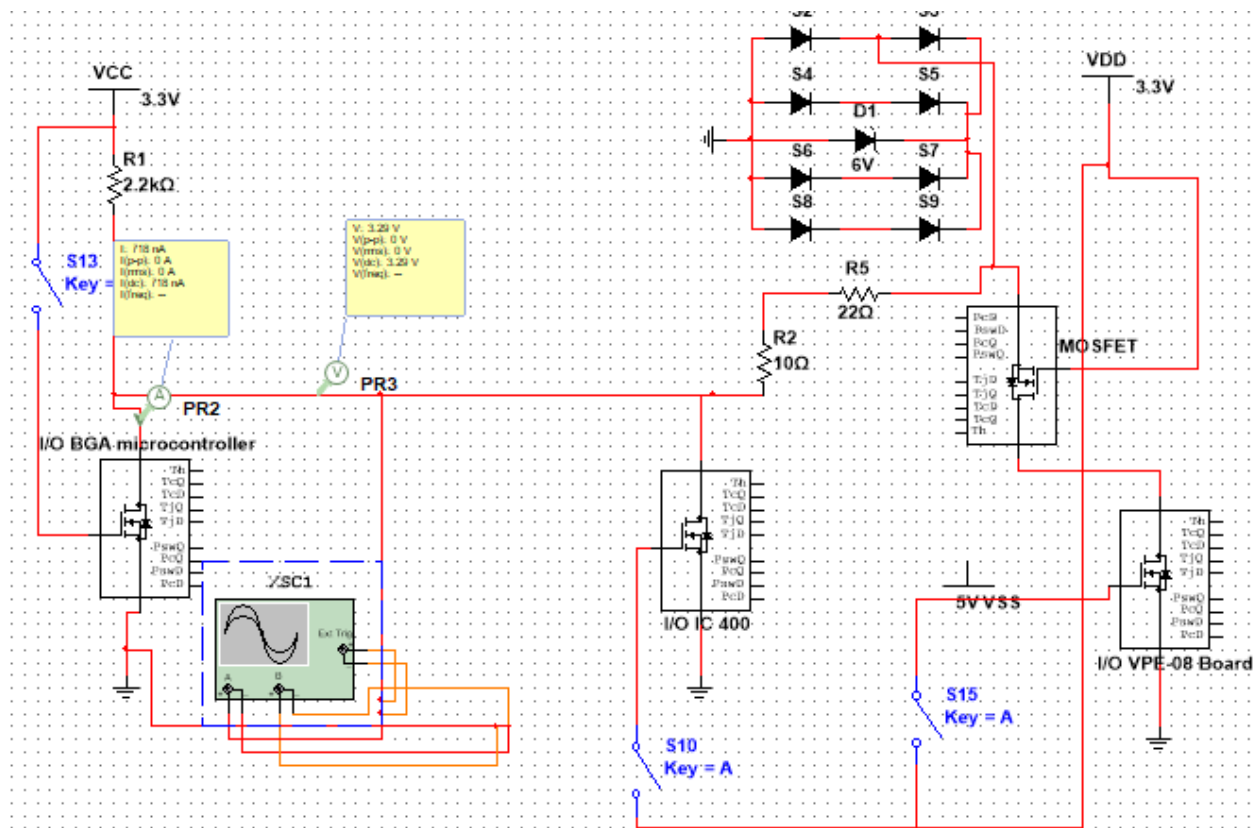


Figura 27: Simulación de circuito con modificación de placa de prueba. Fuente: Elaboración propia.

El voltaje en el presente en el circuito simulado después de la modificación es de 3.29V y una corriente máxima de operación de 1.25 mA.

5.4 Modificación Física de Placa de Prueba de Imagen

La placa de prueba de imagen VPE-08 fue modificada físicamente conforme al diseño planteado en el análisis del circuito para eliminar la contención de voltajes en el circuito de comunicación I2C,

Las mediciones de voltaje en placa de prueba de imagen modificada son presentadas en la tabla 9.

Tabla 9: Medidas de voltaje después de modificación de placa. Fuente: Elaboración propia.

Señal	Localidad	Voltaje (V)	Modo
SDA	Source	0.48	En espera
	Drain	0.36	En espera
	Gate	3.68	En espera
SCL	Source	0.4	En espera
	Drain	0.36	En espera
	Gate	3.64	En espera
SDA	Source	3.36	Operación
	Drain	3.28	Operación
	Gate	3.64	Operación
SCL	Source	3.36	Operación
	Drain	3.24	Operación
	Gate	3.68	Operación

Con las mediciones hechas es posible visualizar una reducción de la tensión en el circuito de comunicación presentado en la figura 28, la tensión de operación máxima del microprocesador dada por los datos del fabricante es de 3.46v, quedando la tensión final de la placa de prueba dentro del intervalo de la especificación del fabricante.

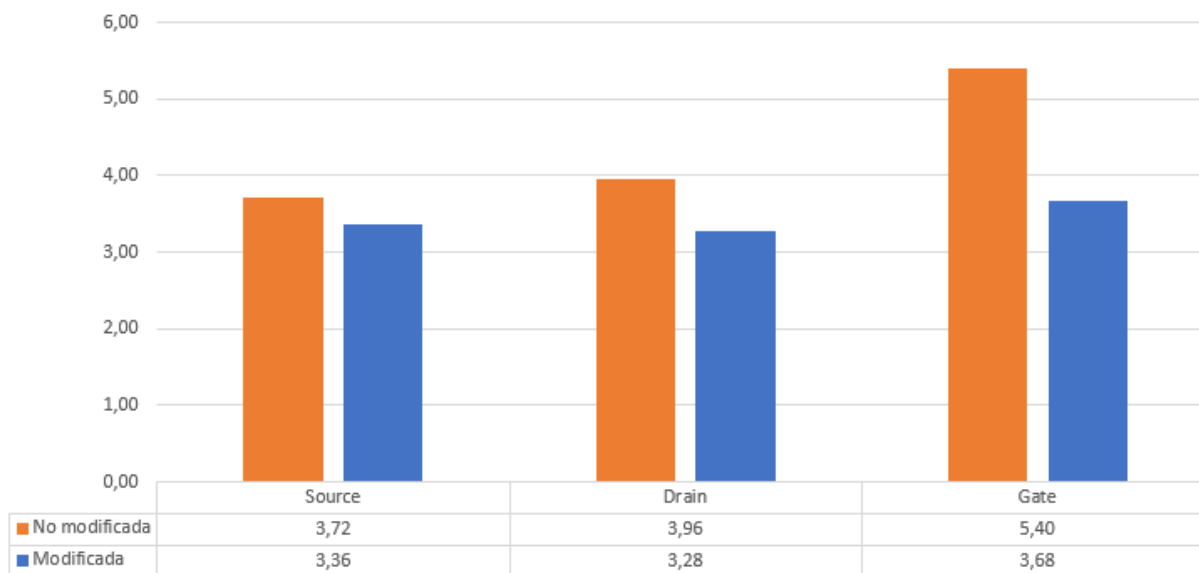


Figura 28: Comparación de mediciones de voltajes placa modificada y no modificada. Fuente: Elaboración propia.

Una vez obtenida la placa de prueba VPE-08 modificada, es necesario realizar un análisis de datos de defectos en el proceso de producción para determinar el modelo y la línea de producción donde será aplicado el prototipo de la placa de prueba para la evaluación estadística.

5.5 Sistema de Soporte de Decisión Visual

Como parte del análisis de datos, fue desarrollado un sistema de soporte de decisión visual utilizando la herramienta Power BI Desktop® de Microsoft con el propósito de encontrar las líneas y modelos con mayor incidencia de defectos. El análisis de datos comprendió un periodo de tiempo de seis semanas desde la semana diez hasta la semana quince tomando en cuenta los defectos causados por daño eléctrico en el microprocesador de la placa principal.

El resultado del análisis de índice de defectos por línea en partes por millón (PPM) es mostrado en la figura 29.

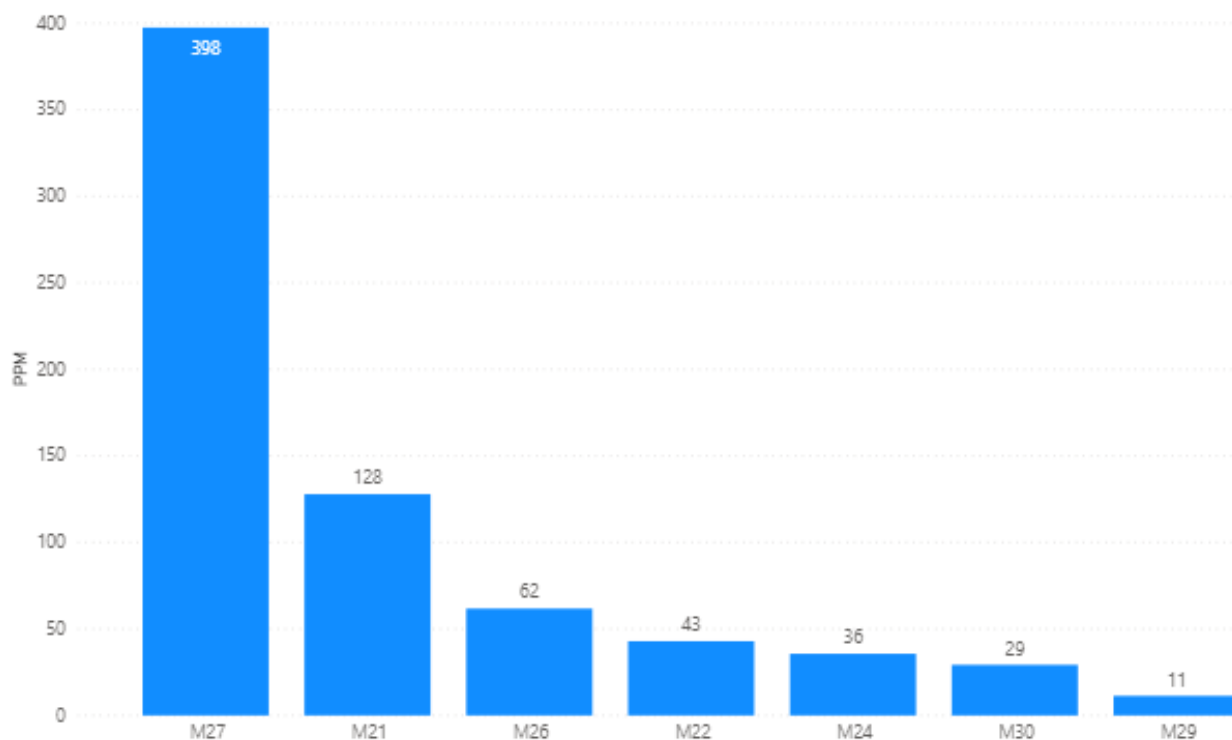


Figura 29: Defectos de BGA por SCL SDA por línea en PPM. Fuente: Elaboración propia

Tomando en cuenta el resultado del análisis por líneas, fue seleccionada la línea con mayor ocurrencia, fue realizado un análisis los peores modelos de ésta línea dentro de

un intervalo de seis semanas, desde la semana diez a la semana quince, el análisis es presentado en la figura 30.

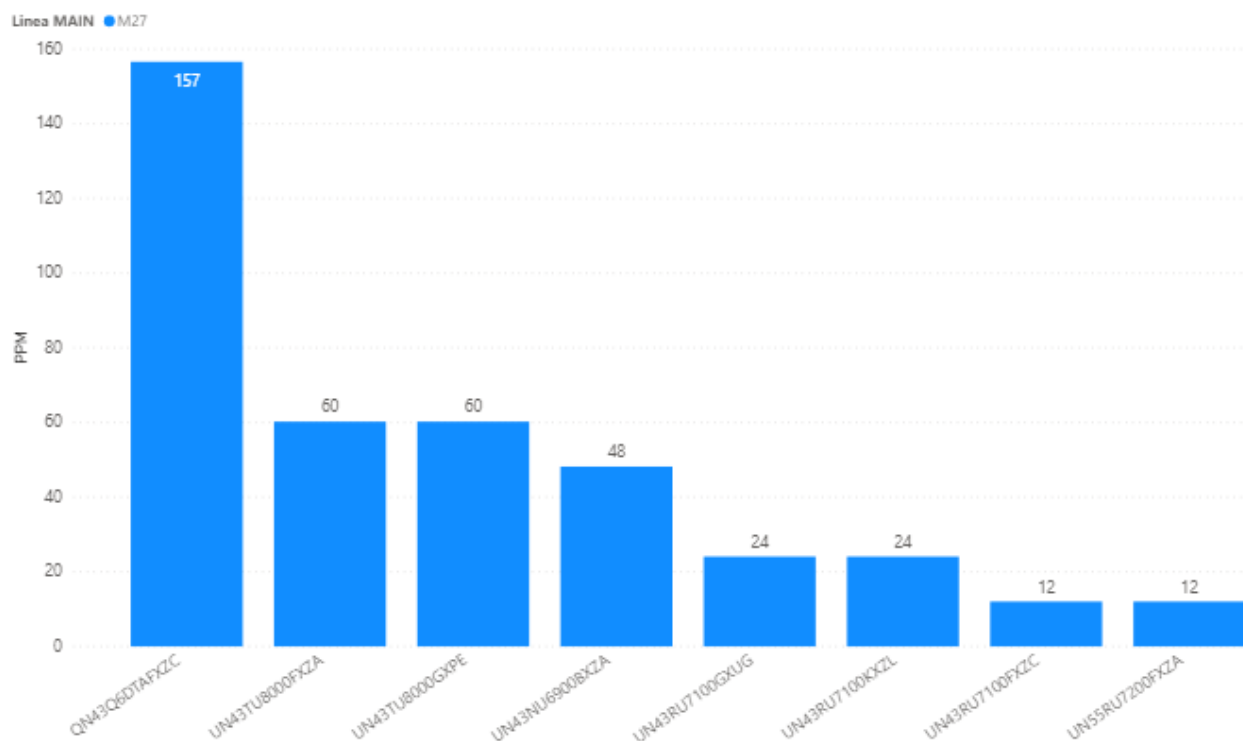


Figura 30: Principales modelos en PPM de línea M27. Fuente: Elaboración propia.

Los modelos con mayor índice de defectos en la figura 30 son divididos en dos números de parte de microprocesador como es mostrado en la tabla 10.

Tabla 10: Modelos con mayor índice de defectos. Fuente: Elaboración propia.

Modelo	Número de BGA	PPM
QN43Q60TAFXZC	1204-003798	157
UN43TU8000FXZA	1204-003798	120
UN43TU8000FXZA		
UN43RU7100KXZL	1204-003784	60
UN43NU6900BXZA	1204-003779	48
UN55RU7200FXZA	1204-003779	12

Con base a los resultados del análisis visual de los datos, fueron seleccionados los modelos que utilizan el microprocesador con número de parte 1204-003798 por ser el que mayor índice de defectos tiene y pertenece a los modelos nuevos del año 2020 que

sustituirán a los modelos 2019 entre ellos son UN43RU7100KXZL, UN43NU6900BXZA y UN55RU7200FXZA.

En el análisis de soporte de decisión visual, fueron obtenidos los índices de defectos de no imagen, defectos de no imagen causado por placa principal y el índice de defectos de placa con daño eléctrico en el microprocesador de la línea M27, los índices son presentados en la figura 31, y fueron contrastados con los resultados obtenidos de la implementación de la placa modificada de prueba de imagen para determinar el alcance de los objetivos.

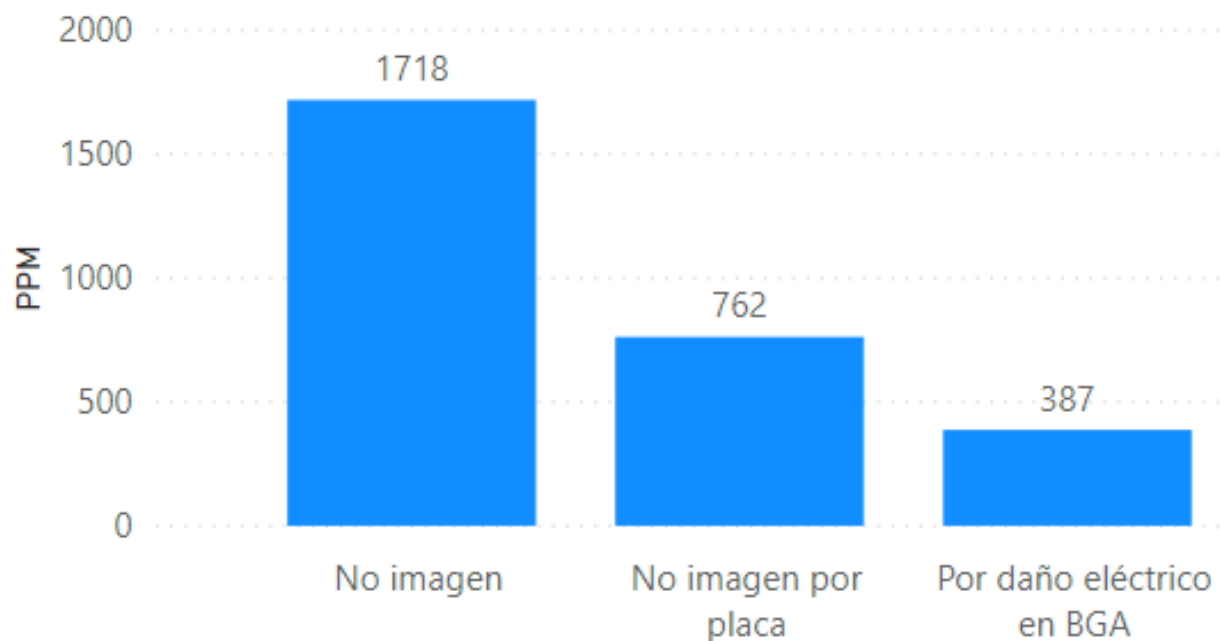


Figura 31: Índices de defectos de línea M27 semana 10 a semana 15. Fuente: Elaboración propia.

Con base al plan de producción fue seleccionado el modelo UN43TU8000FXZA y el modelo QN43Q60TAFXZC, ya que estos son producidos en la misma línea, la M27.

En la tabla 11 son presentados los índices de defectos históricos en partes por millón (PPM) de los días que fue producido el modelo y fue agregada la línea M22 para aplicar la prueba de modificación de placa de prueba de imagen.

Tabla 11: Índices de defectos antes de modificación de placa de prueba. Fuente: Elaboración propia.

Día	Date	Línea	Producción	Cantidad defectos	Equivalente a PPM
1	01-abr	M27	602	1	1661,13
2	09-abr	M27	739	0	0
3	04-mar	M27	1321	1	757,0023
4	05-mar	M27	3661	2	546,2988
5	06-mar	M27	667	0	0
6	11-mar	M27	1418	7	4936,53
7	13-abr	M27	1902	3	1577,287
8	17-mar	M27	2377	0	0
9	19-mar	M27	2635	2	759,0133
10	20-mar	M27	3102	0	0
11	23-mar	M27	3030	0	0
12	24-mar	M27	2292	1	436,3002
13	25-mar	M27	578	5	8650,519
14	30-mar	M27	1450	0	0
15	31-mar	M27	3374	3	889,1523
16	12-mar	M22	2002	0	0
17	20-mar	M22	193	0	0
18	24-mar	M22	400	1	2500
19	06-abr	M22	2407	2	830,9098
20	07-abr	M22	2291	1	436,4906

Estos índices de defectos servirán como la muestra a comparar en la prueba estadística de la modificación de la placa de prueba de imagen. Después de identificar las líneas y modelo de evaluación fue instalada la placa con rediseño eléctrico para la prueba de imagen.

5.6 Resultados de Defectos con Placa Modificada

Con la selección del modelo y la línea con mayor índice de defectos, fueron instaladas las placas de prueba de imagen modificada para evaluar el índice de defectos obtenidos después de la modificación en la línea M27. Los resultados son presentados en la tabla 12 en días de producción e índice de defectos por día.

Tabla 92: Resultado de defectos en PPM por día de producción. Fuente: Elaboración propia.

Modelo	Línea	Cantidad	Fecha	Cantidad de defectos	Equivalente a PPM
UN43TU8000FXZA	M27	3,570	11-may	1	280,112045
UN43TU8000FXZA	M27	3,673	12-may	0	0
UN43TU8000FXZA	M27	2,776	13-may	0	0
UN43TU8000FXZA	M22	2,504	13-may	2	798,722045
UN43TU8000FXZA	M22	392	14-may	0	0
UN43TU8000FXZA	M27	3,535	14-may	2	565,770863
UN43TU8000FXZA	M27	740	15-may	0	0
UN43TU8000FXZA	M27	1,780	18-may	0	0
UN43TU8000FXZA	M27	3,882	19-may	1	257,599176
UN43TU8000FXZA	M27	3,883	20-may	1	257,532835
UN43TU8000FXZA	M27	4,152	21-may	1	240,847784
UN43TU8000FXZA	M22	4,063	22-may	0	0
UN43TU8000FXZA	M27	2,947	22-may	0	0

Fueron tomados los datos de producción de la línea M22 donde también fue instalada las placas con rediseño pues esta línea produce el mismo modelo que la línea M27 esto ayudó a obtener un número más grande de muestras para hacer la comparación estadística.

Los resultados de los índices de defectos de no imagen en general, los defectos de no imagen causados por placa principal y los defectos de no imagen por placa con daño eléctrico en el microprocesador son presentados en la figura 32.

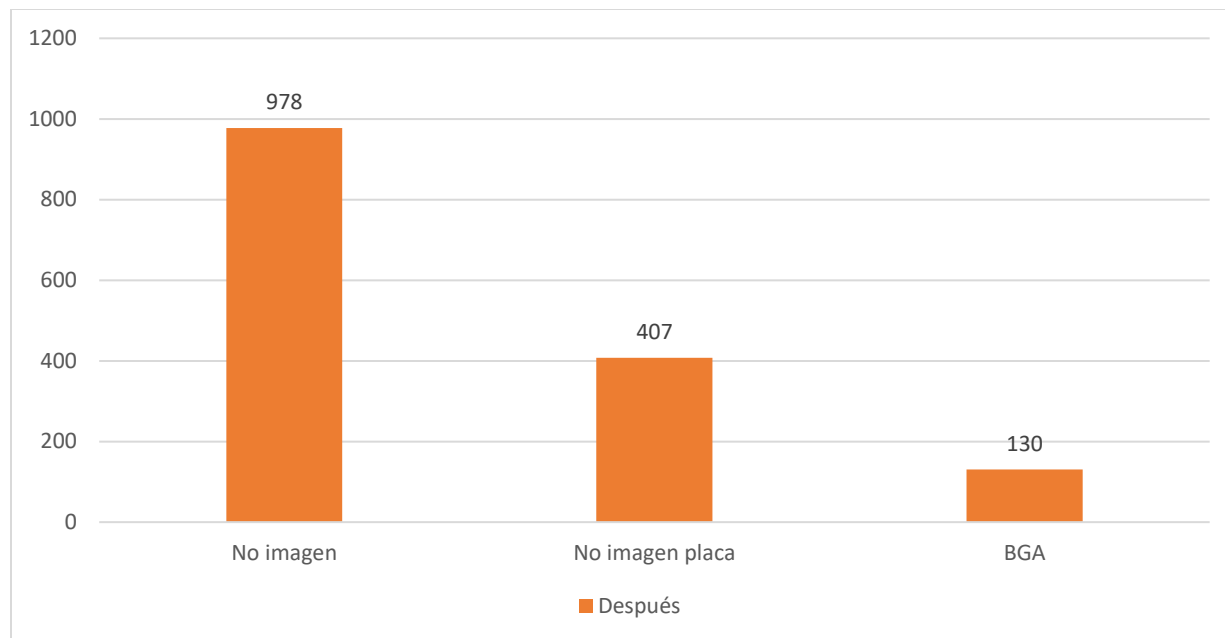


Figura 32: Resultados de índices de defectos después de aplicación de placa modificada. Fuente: Elaboración propia

Con los resultados de índices de defectos obtenidos después de la aplicación de la placa de prueba de imagen modificada, es posible hacer un análisis de resultados para determinar si fueron alcanzados los objetivos planteados en la sección 3.3.

Capítulo 6. Discusión de resultados

La operación crítica en el proceso de producción relacionada al defecto de no imagen por microprocesador con daño eléctrico fue la operación de prueba de imagen en el proceso de LCM. Asegurar esta operación es crítico para prevenir de los defectos presentados en proceso de ensamble final, respondiendo la pregunta de investigación planteada en la sección 3.2. La línea con más alto índice de defectos fue la M27, donde son producidos los modelos con mayor índice de defectos por microprocesador con daño eléctrico.

Los resultados mostrados en la tabla 10 son los días de producción del modelo en análisis después de instalar la placa de prueba de imagen modificada. Para evaluar la significancia del cambio en el diseño de la placa de prueba de imagen son contrastados los índices de defectos presentados en producciones anteriores del modelo y la línea de análisis, el contraste grafico de los resultados es mostrado en la figura 33.

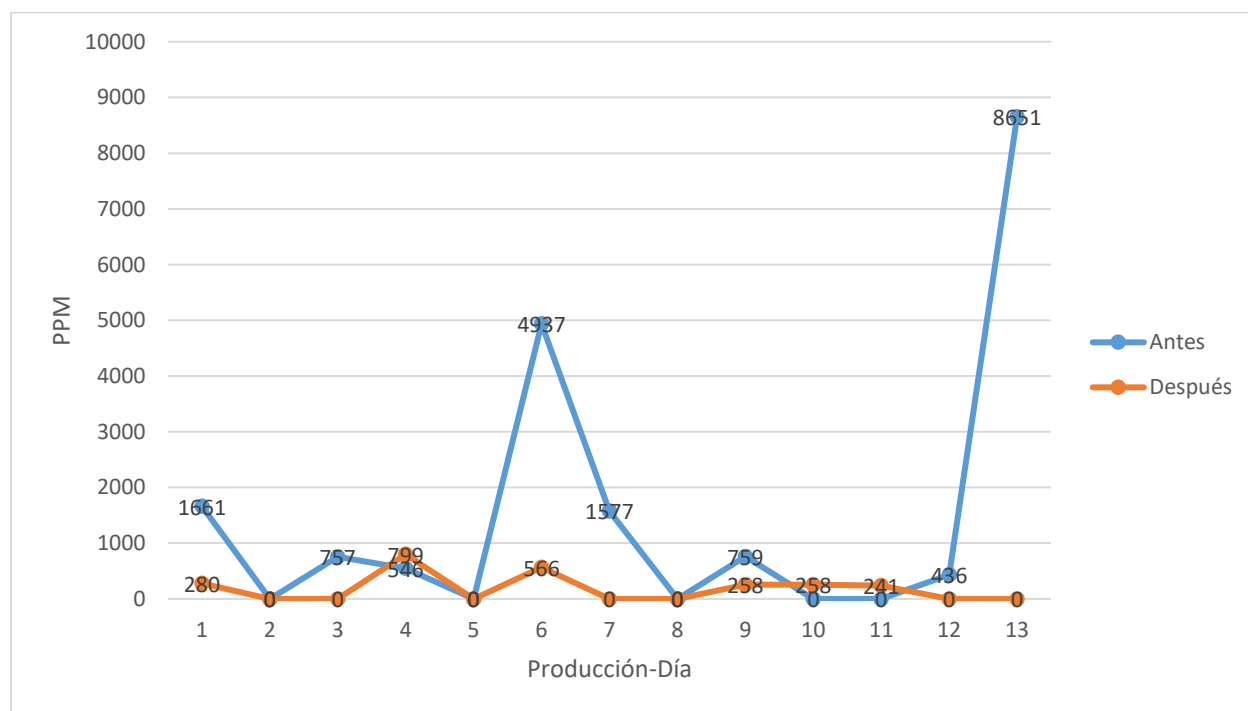


Figura 33: Comparación de defectos en PPM de días de producción antes y después de modificación.
Fuente: Elaboración propia.

La comparación del índice de defectos en PPM antes y después de la modificación en la figura anterior muestra de manera muy notoria el cambio en la ocurrencia de defectos causados por daño eléctrico en microprocesador de placa principal. Sin embargo, para

probar estadísticamente un cambio significativo en los índices de defectos después de la modificación, es necesario aplicar una prueba estadística de hipótesis.

6.1 Prueba de Hipótesis Estadística

Para encontrar la prueba estadística a utilizar en el contraste de muestras, fue realizado un análisis de normalidad de los datos registrados de los índices de defectos históricos presentado en la tabla 10 y los índices después de la implementación de la placa modificada de prueba de imagen.

Fue realizada una prueba de normalidad a los datos históricos de índices de defectos apoyándose en el software Minitab y es presentada en la figura 34.

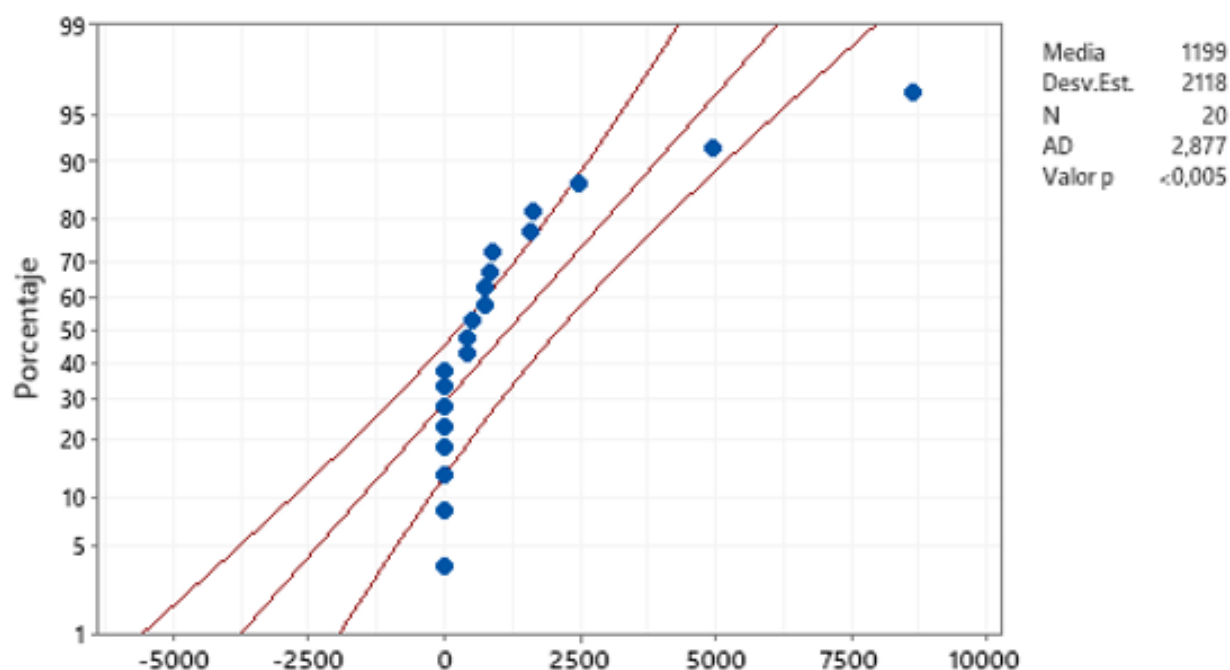


Figura 34: Prueba de normalidad al 95% de índice de defectos antes de modificación. Fuente: Elaboración propia.

La prueba de normalidad da como resultado un valor p de 0.005 indicando que los datos de la muestra no tienen una distribución normal.

Es realizada una prueba de normalidad a los datos de resultados presentados en la tabla 11 en la sección de resultados para verificar la distribución de los datos y es presentada en la figura 35.

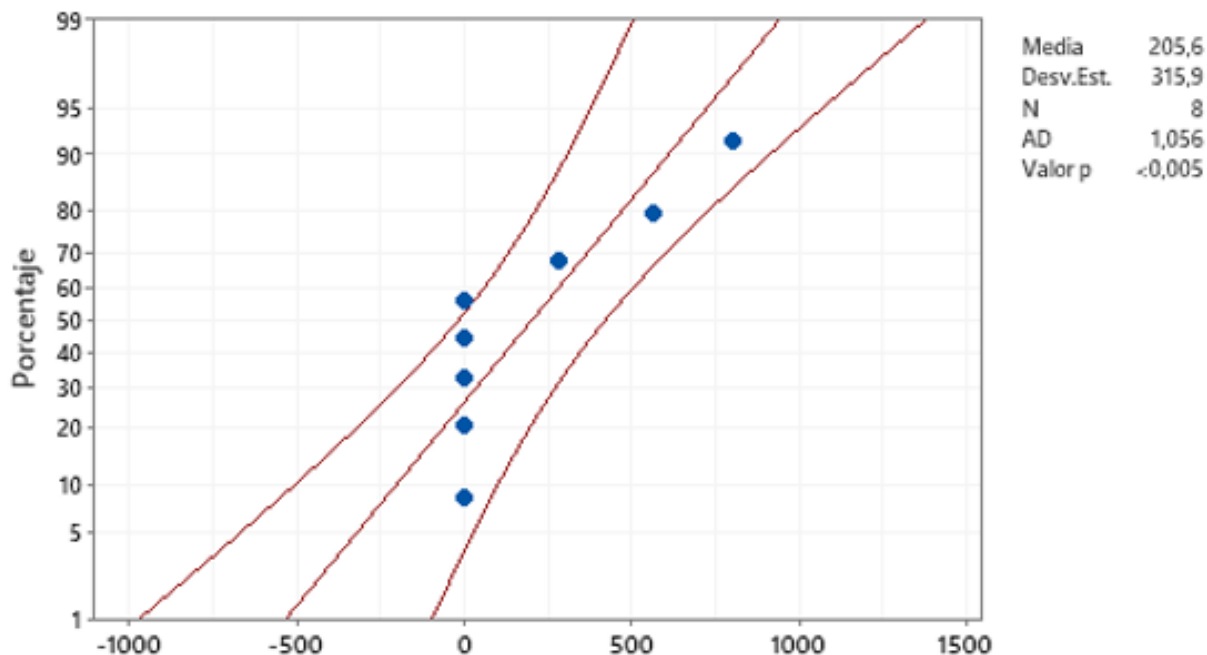


Figura 35: Prueba de normalidad al 95% para índices de defectos placa modificada. Fuente: Elaboración propia.

La distribución de los datos de las muestras antes y después de la aplicación de la placa modificada no pertenecen a una distribución normal. Con estos análisis es seleccionado un método de comparación de muestras no paramétrico conocido como Prueba de rangos con signo de Wilcoxon para muestras pareadas.

6.1.2 Prueba de rangos con signo de Wilcoxon para muestras pareadas

Para realizar la prueba de rangos con signo de Wilcoxon son presentadas las dos muestras del estudio estadístico, los índices de defectos antes de la implementación de la placa de prueba modificada y los índices después de la implementación. Estas muestras son presentadas en la tabla 13.

Tabla 103: Índice de defectos en PPM antes y después de implementación de placa modificada. Fuente: Elaboración propia.

Día	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Antes	1661	0	757	546	0	4937	1577	0	759	0	0	436	8651	0
Después	280	0	0	799	0	566	0	0	258	258	241	0	0	0

Las hipótesis estadísticas son planteadas de la siguiente manera:

H0: La diferencia entre los pares sigue una distribución simétrica alrededor de cero

H1: La diferencia entre los pares no sigue una distribución simétrica alrededor de cero
Planteada las hipótesis, son obtenidas las diferencias de los pares de las muestras y son presentadas en la tabla 14.

Tabla 114: Diferencia de los pares de las muestras. Fuente: Elaboración propia.

Día	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Antes	1661	0	757	546	0	4937	1577	0	759	0	0	436	8651	0
Después	280	0	0	799	0	566	0	0	258	258	241	0	0	0
Diferencia	1381	0	757	-252	0	4371	1577	0	501	-258	-241	436	8651	0

Las diferencias son tomadas como valores absolutos y son asignados rangos a cada diferencia de menor a mayor omitiendo las diferencias nulas. Esto es presentado en la tabla 15.

Tabla 125: Rango de diferencias en muestras estadísticas. Fuente: Elaboración propia.

Día	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Antes	1661	0	757	546	0	4937	1577	0	759	0	0	436	8651	0
Después	280	0	0	799	0	566	0	0	258	258	241	0	0	0
Diferencia	1381	0	757	252	0	4371	1577	0	501	258	241	436	8651	0
Rango	7	-	6	2		9	8	-	5	3	1	4	10	-

Después de obtener los rangos es asignado el signo de cada diferencia y es mostrado en la tabla 16.

Tabla 136: Rangos con signo de diferencias en muestras estadísticas. Fuente: Elaboración propia.

Día	11	4	10	12	9	3	1	7	6	13
Antes	0	546	0	436	759	757	1661	1577	4937	8651
Después	241	799	258	0	258	0	280	0	566	0
Diferencia	241	252	258	436	501	757	1381	1577	4371	8651
Rango con signo	-1	-2	-3	4	5	6	7	8	9	10

Una vez obtenidos los rangos con signo, es calculado el valor estadístico W y es presentado en la ecuación 2.

$$W = \min (W+, W-)$$

Donde:

$W+$ = la suma de rangos positivos.

$W-$ = la suma de rangos negativos como valor absoluto

Es obtenido el valor $W+$ sumando los rangos positivos.

$$W+ = 4 + 5 + 6 + 7 + 8 + 9 + 10 = \mathbf{49}$$

Es obtenido el valor $W-$ sumando los rangos negativos como valor absoluto.

El resultado de la prueba de Wilcoxon da como resultado un valor crítico fuera del intervalo de aceptación de la hipótesis nula, por consiguiente, es aceptada la hipótesis alternativa dando como resultado una diferencia estadística significativa entre los índices de defectos antes y después de la aplicación de la placa de prueba de imagen modificada.

6.2 Análisis de Objetivos

Los resultados de índices de defectos presentados en la tabla 11 son contrastados con los índices de la tabla 10 con el propósito de conocer el porcentaje de reducción de los defectos en el intervalo de tiempo de evaluación de la placa de prueba de imagen modificada. El contraste de los defectos antes y después en partes por millón (PPM) son presentados en la figura 36.

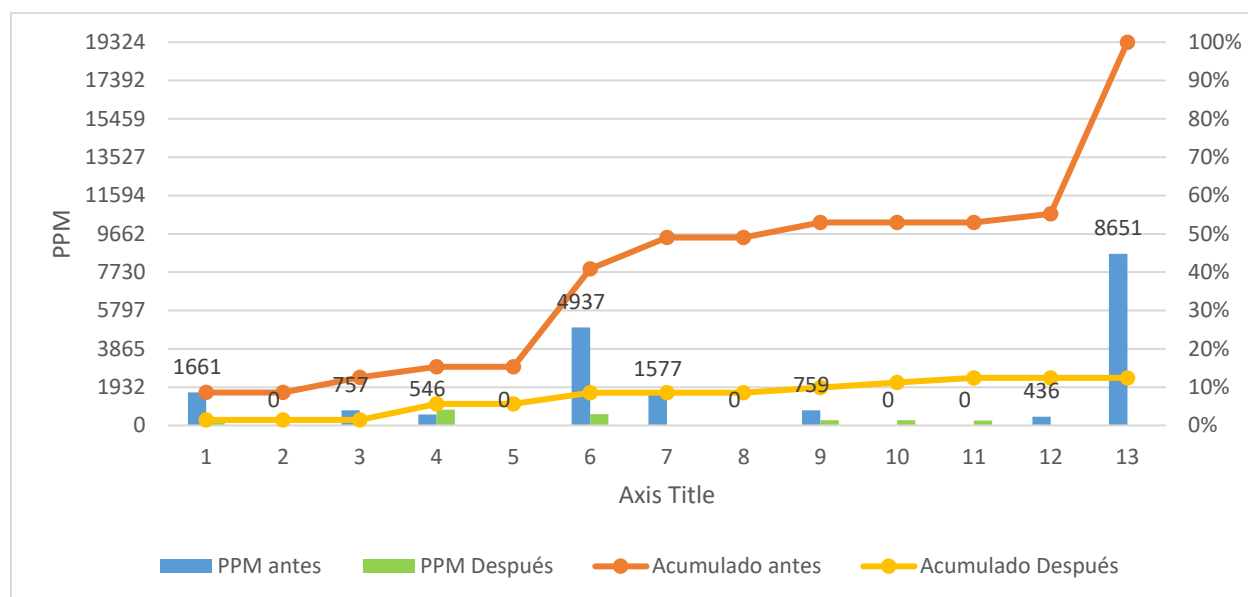


Figura 36: Gráfico de Pareto para índices acumulados antes y después de aplicación de placa modificada. Fuente: Elaboración propia.

Como es mostrado en la figura anterior, la reducción de los defectos por daño eléctrico en microprocesador de placa principal en la línea de producción M27 es del 88% en comparación a los datos históricos presentados en la tabla 10.

Los índices de defectos presentados en la figura 31, son contrastados con los índices obtenidos en las semanas de evaluación del rediseño de la placa de prueba de imagen presentados en la figura 32, la comparación es mostrada en la figura 37 para determinar el alcance de los objetivos presentados en la sección 3.3

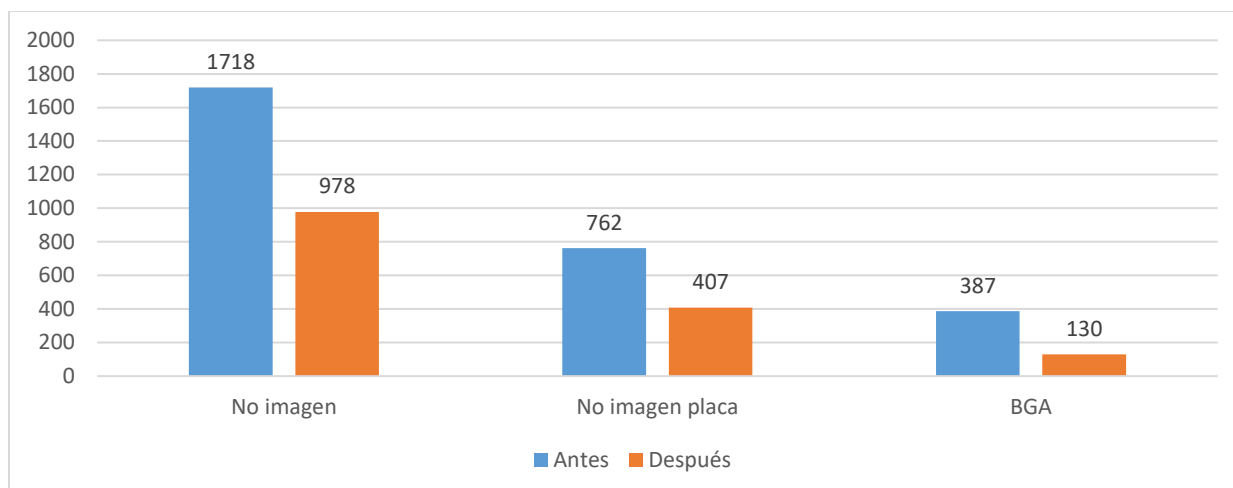


Figura 37: Contraste de índices de defectos en PPM antes y después de aplicación de placa de prueba modificada. Fuente: Elaboración propia.

La figura anterior representa una reducción en los defectos de no imagen por placa principal del 47%, una reducción de los defectos de no imagen general en la línea M27 del 43% y una reducción de defectos de no imagen por microprocesador con daño eléctrico del 66%. Con los resultados obtenidos son cumplidos los objetivos de la investigación planteados en la sección 3.3 donde es buscado una reducción del 45% de defectos de no imagen por placa principal y por lo menos 7% de reducción en defectos de no imagen generales. El ahorro proyectado anual de microprocesador salvado en la línea M27 es de 2,500 dólares americanos, tomando en cuenta los resultados de tres semanas de evaluación mostrado en la tabla 12, es realizado el cálculo de ahorro en ese intervalo de tiempo y es presentado en la tabla 18.

Tabla 158: Calculo de ahorro por microprocesador salvado en periodo de evaluación de tres semanas. Fuente: Elaboración propia.

% Antes	% Después	Deferencia	Producción M27	Piezas salvadas	Costo en dólares	Ahorro en dólares
0.039%	0.013%	0.026%	62359	16.01	9.30	148.96

Tomando resultados de la evaluación de la placa de prueba de imagen modificada como prueba del cambio significativo en los índices de defectos de no imagen causados por estrés eléctrico en el microprocesador de la placa principal del televisor, es posible descartar la hipótesis nula y es aceptada la alternativa que afirma que un rediseño de la placa de prueba de imagen reduce los defectos de estrés eléctrico en el microprocesador de placa principal del televisor.

Capítulo 7. Conclusiones

Un rediseño de la placa de prueba de imagen, separando las fuentes de voltajes en las líneas de comunicación serial data (SDA) y serial clock (SCL) del protocolo I2C para eliminar una sobre tensión de voltaje en el circuito de 0.6 voltios por encima del rango máximo de operación, reduce un 66% de los defectos de no imagen causados por sobre estrés eléctrico en el microprocesador de la placa principal del televisor y un 47% de los defectos de no imagen por placa principal presentados en proceso de ensamble final del televisor.

7.1 Futuras Investigaciones

Los objetivos de reducción de defectos sobrepasaron los planteados en los objetivos, sin embargo, estos no desaparecieron del todo y podría ser un indicador de la ausencia de buenas prácticas en las instalaciones de prueba de imagen del LCM. Esto abre un campo de oportunidad para investigar las diferentes condiciones en la operación de prueba de imagen que están relacionadas con el defecto de daño eléctrico en la placa principal del televisor.

Lista de Referencias Bibliográficas

- Aljandali A. (2016) Secondary Sources of Data for Business, Finance and Marketing Students. In: Quantitative Analysis and IBM® SPSS® Statistics. Statistics and Econometrics for Finance. Springer, Cham. DOI: https://ebiblio.cetys.mx:4083/10.1007/978-3-319-45528-0_10
- Bryan Salazar López. (2019). Análisis del Modo y Efecto de Fallas (AMEF)., de Ingeniería Industrial Online.com Sitio web: <https://www.ingenieriaindustrialonline.com/lean-manufacturing/analisis-del-modo-y-efecto-de-fallas-amef/>
- Dhanasekharan Natarajan. (2015). Overstress analysis. En Reliable Design of Electronic Equipment (45,46,47). Bangalore India: Springer International.
- Fairchild Semiconductor. (1999). Understanding Latch-Up in Advanced CMOS Logic. Recuperado: 2020, de Fairchild Semiconductor Sitio web: <https://www.onsemi.com/pub/Collateral/AN-600.pdf.pdf>
- Filip F.G., Zamfirescu CB., Ciurea C. (2017) Decision Support Systems. In: Computer-Supported Collaborative Decision-Making. Automation, Collaboration, & E-Services, vol 4. Springer, Cham. DOI: https://ebiblio.cetys.mx:4083/10.1007/978-3-319-47221-8_2
- Gadre D.V., Gupta S. (2018) Serial Communication: SPI and I2C. In: Getting Started with Tiva ARM Cortex M4 Microcontrollers. Springer, New Delhi
- Intel. (2016). Electrostatic Discharge and Electrical Overstress Guide. Recuperado: 2020, de Intel Sitio web: <https://www.intel.la/content/www/xl/es/quality/ch3-esd-eos-guide.html>
- Joshi R.G., Fadewar H.S. (2019) Integrating Machine Learning Tool to Improve DSS Design. In: Iyer B., Nalbalwar S., Pathak N. (eds) Computing, Communication and Signal Processing. Advances in Intelligent Systems and Computing, vol 810. Springer, Singapore.
- Luis Llamas. (2018). EL BUS I2C EN ARDUINO. 2020, de Luis Llamas Sitio web: <https://www.luisllamas.es/arduino-i2c/>
- MacFarland T.W., Yates J.M. (2016) Wilcoxon Matched-Pairs Signed-Ranks Test. In: Introduction to Nonparametric Statistics for the Biological Sciences Using R. Springer, Cham.

- OSRAM. (2018). The basic principles of Electrical Overstress (EOS)., de OSRAM Sitio web: https://media.osram.info/media/img/osram-dam-2496732//AN048_The_Basic_Principles_of_Electrical_Overstress_EOS.pdf
- Quality-One. (2019). Failure Mode and Effects Analysis (FMEA).2020, de Quality-One International Sitio web: <https://quality-one.com/fmea/>
- Ricardo Cao. (2019). Tablas estadísticas. 2020, de Universidad de Coruña Sitio web: http://dm.udc.es/profesores/ricardo/Archivos/tablas_estadisticas.pdf
- Sahu P.K. (2016) Population and Sample. In: Applied Statistics for Agriculture, Veterinary, Fishery, Dairy and Allied Fields. Springer, New Delhi
- Samuel H. Russ. (2016). EMI/EMC: Design and Susceptibility. En Signal Integrity(pg.137). Switzerland: Springer International.
- Springer (2008) Paired Student's T-Test. In: The Concise Encyclopedia of Statistics. Springer, New York, NY. DOI: <https://ebiblio.cetys.mx:4083/10.1007/978-0-387-32833-1>
- Sripodok P., Jettanasen C. (2016) Attenuation of Conducted and Radiated Electromagnetic Interference Generation in High-Frequency Switching Devices. In: Yang GC., Ao SI., Huang X., Castillo O. (eds) Transactions on Engineering Technologies. Springer, Singapore
- Statista. (2019). Growth rate of the consumer electronics industry in the United States from 2012 to 2019. Recuperado: 2020, de Statista Sitio web: <https://www.statista.com/statistics/272116/ce-industry-growth-us/>
- Statistics Solutions. (2020). Paired Sample T-Test. Recuperado: 2020, de Statistics Solutions Sitio web: <https://www.statisticssolutions.com/manova-analysis-paired-sample-t-test/>
- Vison J.E, Liou J.J., (2000). Electrostatic Discharge in Semiconductor Devices: Protection Techniques
- Vladimir Kraz. (2006). EMI Issues in Semiconductor Manufacturing Environment. Recuperado: 2020, de Credence Technologies Sitio web: <https://www.ramayes.com/download/OnFILTER/OnFILTER-EMI-Issues-in-Semiconductor-Manufacturing-Environment.pdf>

Vladimir Kraz. (2012). Electric Overstress (EOS) and Its Effects on Today's Manufacturing, de EEWEB Sitio web: <https://www.eeweb.com/profile/vladimir-kraz/articles/electric-overstress-eos-and-its-effects-on-todays-manufacturing>